

**LAPORAN AKHIR
RESEARCH GRANT (REVISI)**

**PERANCANGAN KESTABILAN BUCK KONVERTER DENGAN
PENGENDALIAN PROPORSIONAL INTEGRAL DERIVATIF (PID)**

MILIK PERPUSTAKAAN
UNIV. NEGERI PADANG



MILIK PERPUSTAKAAN UNIV. NEGERI PADANG
UNTUK: TGL. : 21-4-2010
SUMBER/LOKASI: HD
KOLEKSI : KI
NO. INVENTARIS : 231 / Hd / 2010 - P. (10)
621. 31 Eff P:1

Oleh

**HANSI EFFENDI, S.T.
ORIZA CANDRA, S.T.,M.T.**

Penelitian ini dibiayai oleh :
Technological and Professional Skill Development Sector Project
(ADB Loan No. 1792-NO)
Nomor kontrak : 571/TPSDP-UNP/RS/X/2006
Tanggal : 9 Oktober 2006

**JURUSAN TEKNIK ELEKTRO FAKULTAS TEKNIK
UNIVERSITAS NEGERI PADANG
2007**

ABSTRAK

Perancangan Kestabilan Buck Konverter dengan Pengendali Proporsional Integral Derivatif (PID) – Hansi Effendi, ST; Oriza Candra, S.T.,M.T., Jurusan Teknik Elektro Fakultas Teknik Universitas Negeri Padang

Aplikasi buck konverter daya rendah digunakan secara luas akibat efisiensinya yang tinggi. Banyak jenis dari buck konverter dengan pengendalinya diusulkan, salah satunya seperti yang diusulkan Qiao dkk. yaitu buck konverter sinkron dengan kontroler *Pulse Width Modulation* (PWM) dengan penguat transkonduktansi. Penggunaan konverter daya ini juga dibarengi dengan masalah kestabilan tegangannya, yang terkait dengan kinerja dinamis sistem seperti *overshoot* dan *recovery time*. Penelitian ini berusaha merancang alat untuk menstabilkan buck konverter dengan menggunakan metode *Proporsional Integral Derivative* (PID) digital. Dibandingkan dengan PID *analog*, PID *digital* lebih fleksibel terhadap perubahan *plant*. Proses penalaan cukup dengan mengubah program, konstanta Kp, Ki, dan Kd pada komputer atau mikrokontroler. Pada form user interface yang tampil pada monitor komputer, operator menginputkan nilai *set point* tegangan yang diinginkan (0 ~ 18 Vdc), konstanta Kp, Ki, dan Kd. Setelah proses *running*, nilai tersebut disimpan dalam RAM. Setelah itu mikrokontroler membaca nilai tegangan aktual dari rangkaian sensor. Perbedaan antara keduanya akan diproses oleh mikrokontroler dengan metode system PID untuk pengambilan keputusan lebar pulsa yang akan dibuka oleh rangkaian PWM. Lalu akan diteruskan ke rangkaian *driver* untuk penyulutan gate MOSFET. Dari hasil pengujian menggunakan motor dc, hasil pengendalian terbaik diperoleh dari nilai konstanta sebagai berikut: Kp = 0.8, Ki = 6, dan Kd = 1.5. Untuk set point 14, 15, dan 16 V, didapatkan rata-rata perbedaan untuk pengujian tanpa beban yaitu 0.46% sedangkan untuk pengujian berbeban yaitu 0.73%. Dan kestabilan didapat setelah 1.83 detik

Kata kunci: *Mikrokontroler, Buck konverter, PWM, MOSFET, PID*

LEMBAR IDENTITAS

PERANCANGAN KESTABILAN BUCK KONVERTER DENGAN PENGENDALI PROPORSIONAL INTEGRAL DERIVATIF (PID)

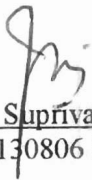
Ketua Peneliti : Hansi Effendi, ST
Jenis kelamin : Laki-laki
Pangkat/ Golongan : Asisten Ahli/ IIIa
NIP : 132300002
Perguruan Tinggi : Universitas Negeri Padang
Kantor/Unit Kerja : Fakultas Teknik/ Teknik Elektro
Alamat Kantor : Jl. Prof. Dr. Hamka Air Tawar Padang 25131
Telp/Fax/E-mail : 0751-445998/ - / hansieffendi@yahoo.com

LEMBAR PENGESAHAN

PERANCANGAN KESTABILAN BUCK KONVERTER DENGAN PENGENDALI PROPORSIONAL INTEGRAL DERIVATIF (PID)


Ketua Peneliti : Hansi Effendi, ST
Anggota : Oriza Candra, MT
Mahasiswa 1 : Febri Henny
Mahasiswa 2 : Lola Ridwan
Mahasiswa 3 : M. Ikhsan
Total Biaya : Rp. 26.500.000 (Dua puluh enamjuta lima ratus ribu rupiah)
Waktu Penelitian : \pm 6 (enam) bulan

Menyetujui:
Ketua program Studi,



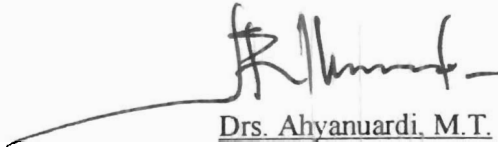
Drs. Amirin Supriatno, M.Pd
NIP. 130806 176

Ketua Peneliti/ Penanggung Jawab,



Hansi Effendi, ST
NIP. 132300002

Mengetahui:
Direktur SPMU,



Drs. Ahyanuardi, M.T.
NIP. 131474854

DAFTAR GAMBAR

Gambar 1. Buck konverter Sinkon dengan Penguat Transkonduktansi.....	3
Gambar 2. Blok Diagram Buck konverter	3
Gambar 3. Diagram Bode Buck konverter	4
Gambar 4. Diagram Bode Lup Penguatan	5
Gambar 5. Rangkaian Kompensator PID.....	6
Gambar 6. Diagram Bode Kompensator PID	6
Gambar 7. Plot Diagram Bode Power Stage dengan Kompensator PID Metode A.....	7
Gambar 8. Plot Diagram Bode Power Stage dengan Kompensator PID Metode B.....	9
Gambar 9. Pengendali PID Digital	10
Gambar 10. Blok Diagram Buck Konverter dengan Rangkaian Kontrol	11
Gambar 11. ADC 0804.....	12
Gambar 12. DAC 0808.....	13
Gambar 13. Rangkaian Buck konverter	14
Gambar 14. Rangkaian blok PWM.....	16
Gambar 15. Teknik Modulasi Lebar Pulsa	17
Gambar 16. Pulsa Penyalan PWM.....	17
Gambar 17. Diagram Step Buck konverter	19
Gambar 18. Diagram Step Buck konverter dengan Kontroler PI, PD dan PID.....	20
Gambar 19. Hubungan Duty Cycle dengan tegangan keluaran buck.....	21
Gambar 20. Hasil pengujian set point 14 V tanpa beban	22
Gambar 21. Hasil pengujian set point 14 V dengan beban.....	22
Gambar 22. Hasil pengujian set point 15 V tanpa beban.....	23
Gambar 23. Hasil pengujian set point 15 V dengan beban.....	23
Gambar 24. Hasil pengujian set point 16 V tanpa beban.....	24
Gambar 25. Hasil pengujian set point 16 V dengan beban.....	24

DAFTAR ISI

LEMBAR IDENTITAS	i
HALAMAN PENGESAHAN	ii
DAFTAR GAMBAR.....	iii
DAFTAR ISI.....	iv
A. PENDAHULUAN	1
1. LATAR BELAKANG	1
2. TUJUAN	2
3. MANFAAT PENELITIAN.....	2
B. TINJAUAN PUSTAKA	3
1. BUCK KONVERTER.....	3
2. LOOP PENGUATAN SISTEM.....	5
3. PERANCANGAN KOMPENSATOR PID METODE A	6
4. PERANCANGAN KOMPENSATOR PID METODE B.....	8
5. KONTROLLER PID DIGITAL	9
C. PENDEKATAN FUNGSIONAL DAN STRUKTURAL	11
D. PROTOTYPE ,HASIL UJI COBA DAN PEMBAHASAN.....	19
1. PROTOTYPE	19
2. HASIL UJI COBA DAN PEMBAHASAN.....	21
E. KESIMPULAN DAN SARAN	26
F. DAFTAR PUSTAKA.....	27

LAMPIRAN

I. PENDAHULUAN

I.1. Latar Belakang

Konverter dc-dc merupakan salah satu konverter daya dengan kinerja dinamik yang tinggi. Beberapa aplikasinya yaitu digunakan luas dalam suplai daya dc teregulasi dan dalam aplikasi motor dc^[1]. Akhir-akhir ini kebutuhan akan konverter daya semakin meningkat. Hal ini tentu tidak terlepas dari keuntungan yang dimilikinya. Salah satunya yaitu karena efisiensinya yang tinggi dalam hal perubahan daya masukan ke daya keluaran.

Salah satu jenis konverter dc-dc yang banyak digunakan yaitu buck konverter. Buck konverter merupakan konverter penurun tegangan. Sesuai namanya, tegangan keluaran konverter ini lebih rendah dari tegangan masukan^[1]. Jenis buck konverter yang mendapat perhatian besar untuk daya yang rendah yaitu buck konverter sinkron dengan model kontroler tegangan *Pulse Width Modulation* (PWM)^[2].

Model kontroler tegangan PWM untuk buck konverter sinkron ini banyak dikembangkan, salah satu modelnya menggunakan penguat transkonduktansi sebagai umpan balik tegangan penguat kesalahan^[2]. Secara teori penguat transkonduktansi merupakan suatu tegangan ekuivalen mengontrol sumber arus, dimana ia mengalikan perbedaan yang terjadi pada tegangan masukan dengan suatu nilai (*gain*) tertentu dan membangkitkan arus pada simpul keluaran.

Seperti halnya dengan konverter dc-dc yang lain, tegangan keluaran buck konverter harus diatur ke tingkat yang diinginkan akibat berfluktuasinya tegangan masukan dan beban keluaran. Untuk menjaga kestabilannya, ada beberapa kriteria kinerja sistem dinamik yang sangat penting untuk dipertimbangkan, yaitu *overshoot* tegangan keluaran dan *recovery time*. Perubahan nilai tegangan keluaran tergantung pada tapis induktor dan nilai kapasitor dalam rangkaian daya dan frekuensi pensaklaran serta algoritma pengontrolnya. Jika induktor, kapasitor dan frekuensi pensaklaran tetap, perbedaan algoritma kontrol menghasilkan perbedaan respon dinamik. Beberapa hal harus dilakukan untuk memperbaiki respon dinamik konverter daya, tetapi metode ini tidak dapat menjamin kemungkinan kinerja dinamik terbaik. Jika kita dapat menentukan respon *transient* terbaik dan sebuah model digunakan untuk merealisasikannya, kinerja dinamik dapat diperbaiki. Oleh karena itu sangat penting menentukan kemungkinan kinerja dinamik terbaik untuk konverter daya.

Salah satu algoritma kendali yang digunakan pengontrol dalam proses pengendalian adalah menggunakan pengontrol *Proporsional Integral Derivative* (PID). Pada umumnya metode pengendali PID digunakan dalam proses industri masih bersifat *analog*, sehingga apabila terjadi perubahan beban membutuhkan perubahan atau penambahan hardware. Perancangan kestabilan buck konverter secara analog telah pernah diteliti oleh Qiao dkk^[2]. Dalam disain yang diusulkannya, dia merancang kompensator PI, PID tipe A dan PID tipe B, di mana masing-masing kompensator tersebut tentu berbeda secara hardware.

Agar kinerja dinamik konverter dc-dc terbaik dapat dicapai, kendali *digital* dapat digunakan untuk memperbaiki kinerja sistem dibawah variasi beban yang sulit diimplementasikan dalam *analog*. Salah satu kelebihan yang dimiliki oleh kendali PID *digital* dibandingkan PID *analog* yaitu di mana pada kendali *digital* apabila terjadi perubahan sistem (*plant*) yang secara otomatis memerlukan perubahan pengontrol dapat direalisasikan hanya dengan mengubah program *mikrocontroller*.

I. 2. Tujuan

Tujuan penelitian ini adalah melakukan perancangan kompensator PID untuk konverter buck untuk menghasilkan fungsi lup penguatan dengan *bandwith* yang tinggi (*high zero-crossover frequency*) dan fasa margin yang diharapkan. Sehingga respon beban yang cepat dan keluaran *steady state* yang baik dapat dicapai.

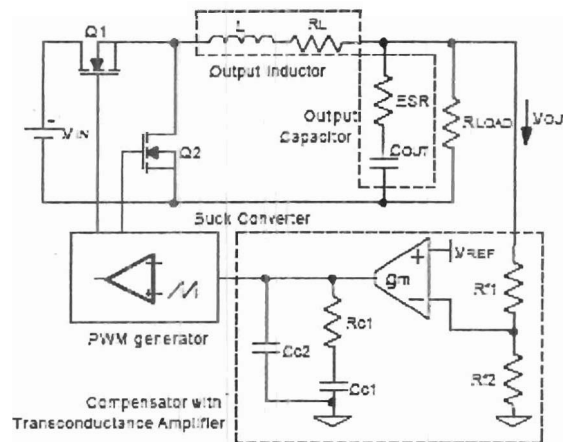
I.3. Manfaat Penelitian

Manfaat yang akan diperoleh dengan melakukan penelitian ini adalah konverter dc-dc dapat diaplikasikan sebagai penggerak motor dc, sebagai suplai daya swith-mode dc, sebagai peralatan penelitian bagi mahasiswa teknik elektro FT UNP serta dapat digunakan sebagai peralatan praktikum.

II. TINJAUAN PUSTAKA

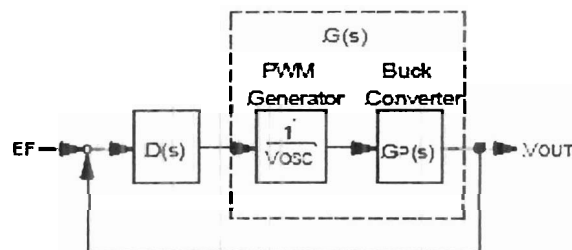
II.1. Buck converter

Penyederhanaan diagram buck konverter sinkron dengan penguat transkonduktansi diperlihatkan pada gambar 1^[2]. Berdasarkan gambar dapat dilihat dimana R_l merupakan tahanan yang terhubung dengan output induktor, ESR merupakan tahanan ekivalen seri dengan output kapasitor.



GAMBAR 1. KOVERTER BUCK SINKRON DENGAN PENGUAT TRANSKONDUKTANSI [2]

Ada tiga seksi dari rangkaian yaitu buck konverter sinkron termasuk keluaran induktor dan kapasitor, kompensator, dan blok pembangkit PWM dan penguat transkonduktansi.



GAMBAR 2. BLOK DIAGRAM BUCK KONVERTER [2]

Fungsi transfer PWM adalah $1/V_{osc}$. Dimana V_{osc} merupakan tegangan puncak ke puncak osilator. Fungsi transfer buck konverter dapat disederhanakan menjadi:

$$G_p(s) = \frac{1 + ESR \times C_{out} \times s}{1 + s \times \left(\frac{1}{Rl_{oad}} + ESR \times C_{out} \right) + s^2 \times L \times C_{out}} \times V_{in} \dots\dots\dots (1)$$

Untuk penyederhanaan, persamaan (1) dapat dikombinasikan dengan fungsi transfer PWM generator menghasilkan *power stage* buck konverter dan ditulis sebagai:

$$G(s) = G_p(s) \times \frac{1}{V_{osc}} \dots\dots\dots (2)$$

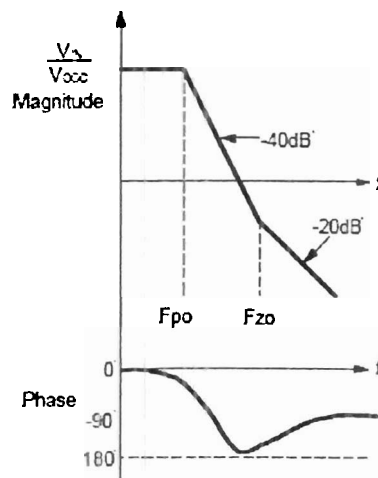
Fungsi transfer buck konverter orde dua dan plot diagram bode untuk sistem orde dua diperlihatkan pada gambar 3. Frekuensi resonansi filter LC ditulis sebagai:

$$F_{po} = \frac{1}{2\pi \sqrt{L \times C_{out}}} \dots\dots\dots (3)$$

ESR dan output kapasitor menghasilkan satu zero untuk sistem. Zero diberikan oleh persamaan:

$$F_{z0} = \frac{1}{2\pi \times ESR \times C_{out}} \dots\dots\dots (4)$$

Dimana F_{z0} adalah parameter yang tergantung pada karakteristik kapasitor yang dipilih. Khusus untuk kapasitor elektrolit F_{z0} dalam jarak (*range*) beberapa KHZ.



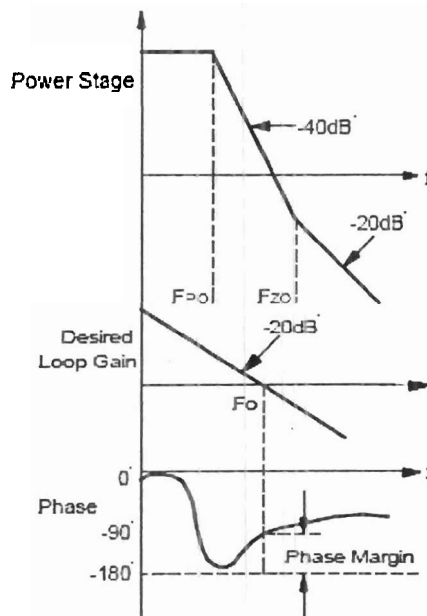
GAMBAR 3. DIAGRAM BODE BUCK KONVERTER [2]

II.2. Lup Penguatan Sistem

Lup penguatan sistem didefinisikan sebagai hasil fungsi transfer lup tertutup sistem. Dari gambar 2 loop penguatan didefinisikan sebagai:

$$H(s) = D(s) \times \frac{1}{V_{osc}} \times G(s) = D(s) \times G(s) \dots \dots \dots (5)$$

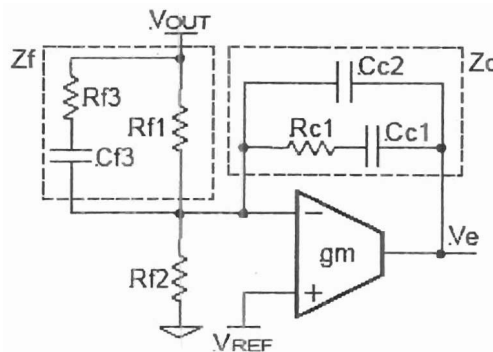
Diagram bode nya diperlihatkan pada gambar 4, dimana F_o merupakan frekuensi *zero crossover*, didefinisikan sebagai frekuensi saat lup penguatan sama dengan 1. F_o dapat dipilih antara 1/10 ~ 1/5 frekuensi pensaklaran. F_o menentukan bagaimana cepatnya respon beban dinamik. F_o tertinggi menyebabkan respon dinamik tercepat. Perbandingan *slope* dari penguatan lup sekitar F_o seharusnya -20 dB agar mendapatkan sistem yang stabil. Fasa *margin* diperlihatkan pada gambar 4. Biasanya 45° atau lebih fasa *margin* diperlukan agar sistem stabil.



GAMBAR 4. DIAGRAM BODE PENGUATAN LUP YANG DIINGINKAN [2]

II.3. Kompensator PID Metode A

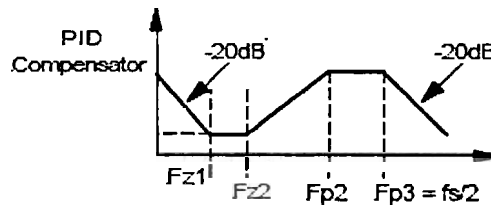
Kompensator PID metode A yang diusulkan oleh Qiao, dkk^[2] diperlihatkan pada gambar 5, sedangkan diagram bodinya diperlihatkan pada gambar 6.



GAMBAR 5. RANGKAIAN KOMPENSATOR PID[2]

Fungsi tranfer kompensator PID diberikan oleh:

$$\frac{V_o}{V_{out}} = \frac{1 - gm x Z_c}{1 + gm x Z_f + Z_f / R_2} \dots\dots\dots (6)$$

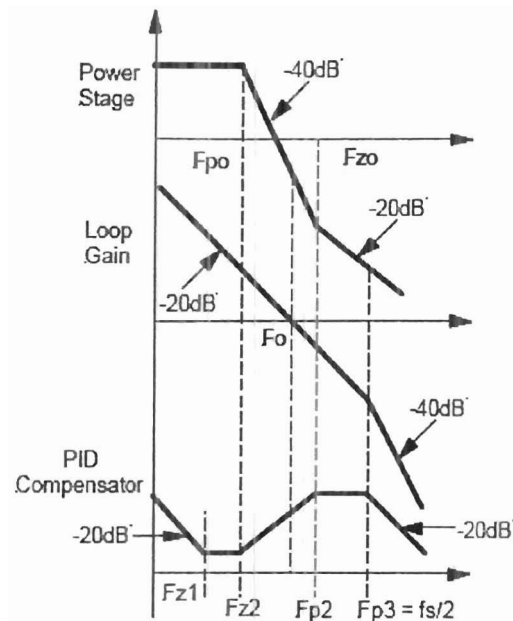


GAMBAR 6. DIAGRAM BODE KOMPENSATOR PID[2]

Berdasarkan gambar 6, fungsi transfer kompensator ditulis:

$$D(s) = \frac{1}{s x R_{f1} x (C_{c1} + C_{c2})} x \frac{\left(1 + \frac{s}{2\pi x F_{z1}}\right) \left(1 + \frac{s}{2\pi x F_{z2}}\right)}{\left(1 + \frac{1}{2\pi x F_{p2}}\right) \left(1 + \frac{s}{2\pi x F_{p2}}\right)} \dots\dots\dots (7)$$

Diagram bode power stage dan kompensator yang direncanakan diperlihatkan pada gambar 7.



GAMBAR 7. DIAGRAM BODE POWER STAGE BUCK KONVERTER, LUP PENGUATAN, DAN KOMPENSATOR PID [2]

Kompensator memiliki dua zero dan tiga pole:

$$F_{z1} = \frac{1}{2\pi \times R_{c1} \times C_{c1}} \dots\dots\dots (8)$$

$$F_{z2} = \frac{1}{2\pi \times C_0 \times (R_{f1} + R_{f2})} \dots\dots\dots (9)$$

$$F_{p1} = 0$$

$$F_{p2} = \frac{1}{2\pi \times R_{f3} \times C_3} \dots\dots\dots (10)$$

$$F_{p3} = \frac{1}{2\pi \times R_{c1} \times \frac{C_{c1} \times C_{c2}}{C_{c1} + C_{c2}}} \dots\dots\dots (11)$$

Frekuensi F_o zero crossover ditentukan berdasarkan persamaan:

$$C_0 = \frac{V_{osc} \times 2\pi \times F_0 \times L \times C_{out}}{V_{in} \times R_{c1}} \dots\dots\dots (12)$$

II.4. Perancangan Kompensator PID Metode B

Perancangan kompensator tipe B ini berdasarkan kompensator lead-lag (metode B)^[2]. Plot bode diagram *power stage*, lup penguatan, kompensator PID metode B dan fasa diperlihatkan pada gambar 8. Kompensator lead-lag memberikan fasa *boost* maksimum pada frekuensi:

$$F = \sqrt{F_{p2} \times F_{z2}} \dots\dots\dots (13)$$

Besarnya fasa maksimum adalah:

$$\theta_{\max} = \text{Sin}^{-1} \left(\frac{F_{p2} - F_{z2}}{F_{p2} + F_{z2}} \right) \dots\dots\dots (14)$$

Fasa maksimum *boost* terjadi pada frekuensi *zero crossover*:

$$F_0 = \sqrt{F_{p2} \times F_{z2}} \dots\dots\dots (15)$$

Zero kedua kompensator PID dihitung:

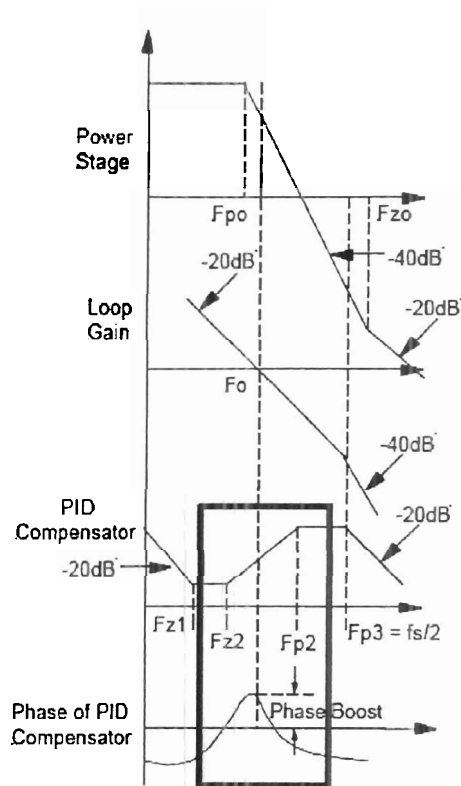
$$F_{z2} = F_0 \times \sqrt{\frac{1 - \text{Sin} \theta_{\max}}{1 + \text{Sin} \theta_{\max}}} \dots\dots\dots (16)$$

Pole kedua kompensator diberikan oleh:

$$F_{p2} = F_0 \times \sqrt{\frac{1 + \text{Sin} \theta_{\max}}{1 - \text{Sin} \theta_{\max}}} \dots\dots\dots (17)$$

Frekuensi zero crossover ditentukan berdasarkan

$$C_0 = \frac{2\pi \times F_0 \times L \times C_{out}}{R_{cl}} \times \frac{V_{osc}}{V_{in}} \dots\dots\dots (18)$$



GAMBAR 8. DIAGRAM BODE BUCK KONVERTER DENGAN KOMPENSATOR PID METODE B [2]

II.5. Kontroler PID Digital

Jika pengendali digital yang digunakan adalah PID, dengan $e(t)$ adalah masukan ke alat kontrol PID, keluaran $m(t)$ dari alat kontrol ini diberikan oleh:

$$m(t) = K_p e(t) + K_i \int_0^t e(t) dt + K_d \frac{de(t)}{dt} \dots\dots\dots (19)$$

Algoritma pengendali PID dalam bentuk digital sebagai berikut

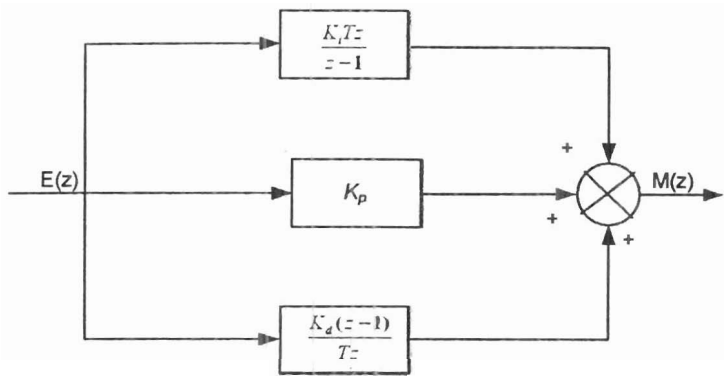
$$M(z) = D(z)E(z) = \left[K_p + \frac{K_i T z}{z-1} + K_d \frac{z-1}{T z} \right] E(z) \dots\dots\dots (20)$$

atau

$$M(z) = \left[K_p + \frac{K_i T}{1-z^{-1}} + K_d \frac{1-z^{-1}}{T} \right] E(z) \dots\dots\dots (21)$$

$$D(z) = \frac{M(z)}{E(z)} = \left[K_p + \frac{K_i T}{1-z^{-1}} + K_d \frac{1-z^{-1}}{T} \right] \dots\dots\dots (22)$$

Pengendali PID digital diperlihatkan pada Gambar 9.



GAMBAR 9. PENGENDALI PID DIGITAL

Fungsi transfer pengendali PID dapat ditulis dalam bentuk:

$$D(z) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2} + \dots + b_m z^{-m}}{1 + a_1 z^{-1} + a_2 z^{-2} + \dots + a_n z^{-n}} \dots\dots\dots (23)$$

Dimana:

$$b_0 = K_p + K_i T + \frac{K_d}{T} \dots\dots\dots (24)$$

$$b_1 = -(K_p + 2 \frac{K_d}{T}) \dots\dots\dots (25)$$

$$b_2 = \frac{K_d}{T} \dots\dots\dots (26)$$

$$a_1 = -1 \dots\dots\dots (27)$$

$$a_2 = 0 \dots\dots\dots (28)$$

Dengan:

- K_p = penguatan proporsional
- K_i = penguatan integral
- K_d = penguatan turunan (derivatif)
- T = perioda pencuplikan

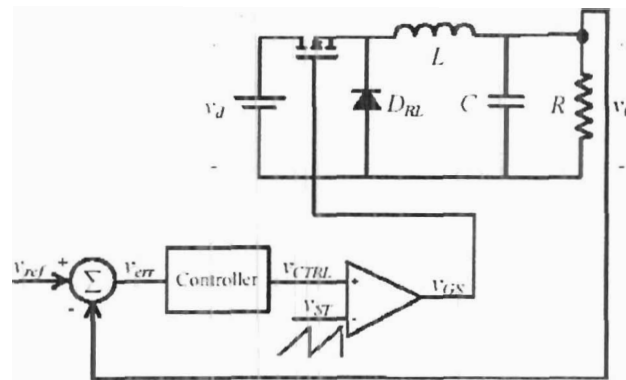
Tiga parameter pengendali, K_p , K_i dan K_d ditentukan dengan proses perancangan.

III. PENDEKATAN FUNGSIONAL DAN STRUKTURAL

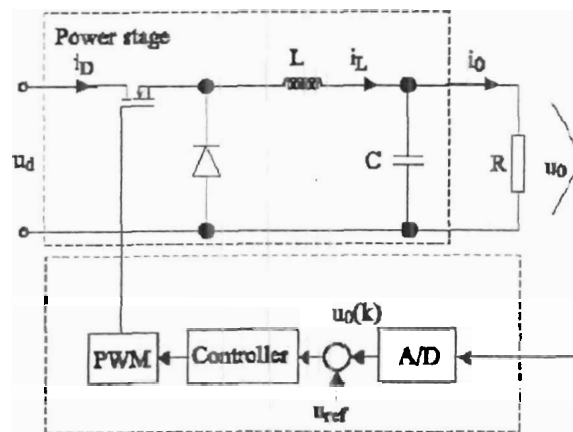
Tahap perancangan terdiri dari:

1. Perancangan hardware sistem yang meliputi ADC, DAC, buck konverter, PWM, serta sensor tegangan.
2. Perancangan software yang merupakan implementasi algoritma kendali yang digunakan untuk mengontrol tegangan buck konverter.

Secara Konseptual rancangan Blok diagram sistem yang dirancang seperti gambar dibawah ini.



(a)



(b)

GAMBAR 10. DIAGRAM BLOK BUCK KONVERTER DENGAN RANGKAIAN KONTROL: (A)ANALOG, (B) DIGITAL

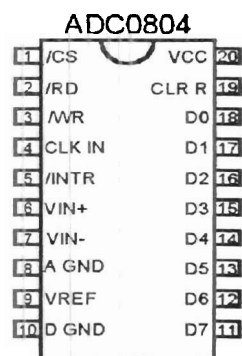
Modulasi tegangan untuk PWM ditentukan dengan controller PI, PID dan lead-lag yang memproses kesalahan antara sinyal referensi dan tegangan keluaran aktual konverter dc-dc. Tegangan modulasi dibandingkan V_{ST} untuk menghasilkan pulsa V_{GS} PWM yang digunakan untuk mengontrol switch buck konverter.

1. Perancangan dan penggunaan Modul ADC

Analog to Digital Converter (ADC) merupakan pengubah besaran analog ke digital. Pengubah ini akan mengubah besaran-besaran analog menjadi bilangan-bilangan digital sehingga bisa diproses dengan komputer. Konsep pengubahan *analog* ke *digital* ini melalui *sampling* (menggambil contoh dalam waktu tertentu) kemudian mewakilinya dengan bilangan *digital* dengan batas yang sudah diberikan. Rangkaian ADC dalam bentuk Integrated Circuit (IC) sudah ada dipasaran. Salah satunya yaitu type ADC 0804.

ADC 0804 mempunyai karakteristik sebagai berikut :

- a. Resolusi sebesar 8 bit
- b. Waktu konversi sebesar 100 ms
- c. Total unadjusted error 1 LSB
- d. Mempunyai *clock* generator sendiri (640 KHz)



GAMBAR 11. ADC 0804

ADC 0804 merupakan ADC yang paling sering digunakan untuk keperluan pembuatan alat-alat ukur digital, dengan karakteristik dasar, lebar data = 8 bit, waktu konversi = 100 us.

WR : (input) pin ini digunakan untuk memulai konversi tegangan *analog* menjadi data *digital*, bila WR mendapat logika '0' maka konverter akan mengalami reset, dan ketika WR kembali dalam keadaan tinggi maka konversi akan segera dimulai.

Bila CS atau RD diberi logika '1' maka output D0 ~ D7 akan berada dalam keadaan impedansi tinggi, sebaliknya bila CS dan RD diberi logika '0' maka keluaran *digital* akan keluar pada D0 s/d D7

INT: (output) pin ini digunakan sebagai indikator apabila ADC telah selesai mengkonversikan tegangan *analog* menjadi *digital*, INT akan mengeluarkan logika '1' pada saat memulai konversi dan akan berada pada logika '0' bila konversi telah selesai.

Frekuensi *clock* konverter harus terletak dalam daerah frekuensi 100 ~ 800 kHz. CLK IN dapat diturunkan dari sumber *clock* eksternal. *Clock* internal dapat dibangkitkan dengan memberi komponen R dan C pada CLK IN dan CLK R.

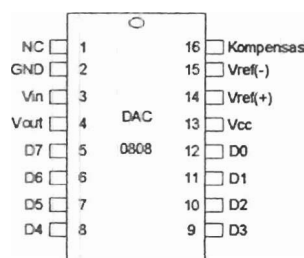
Vin: Pin ini sebagai input tegangan analog yang akan dikonversikan menjadi data digital.

2. Perancangan dan penggunaan Modul DAC

Digital to Analog Converter (DAC) digunakan untuk mengubah besaran sinyal *digital* 8 bit yang merupakan hasil kontroler logic menjadi besaran tegangan *analog* yang nantinya akan digunakan sebagai input driver motor dengan metode PWM.

DAC yang digunakan adalah DAC 0808 yang mempunyai kemampuan mengkonversikan 8 bit data *digital* menjadi besaran tegangan dalam jarak (*range*) tertentu yang ditentukan oleh besarnya Vref. Untuk itu besarnya Vref harus disesuaikan untuk mendapatkan *range* tegangan keluaran sesuai dengan yang diharapkan.

Pada dasarnya hubungan DAC ke sistem minimum adalah merupakan hubungan yang sederhana karena ia merupakan peralatan keluaran dimana penulisan data tidak lagi memerlukan kontrol yang khusus.

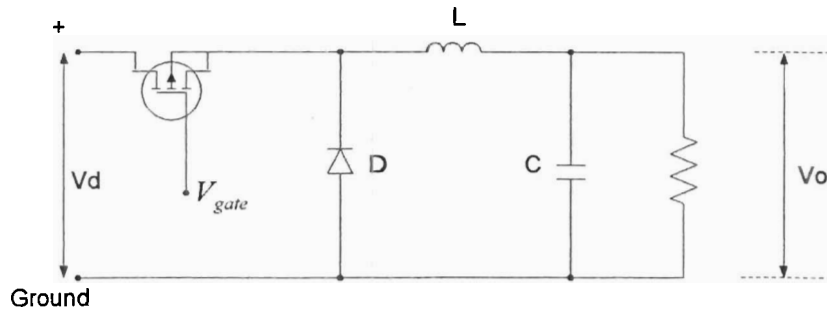


GAMBAR 12. DAC 0808

DAC 0808 disuplai pada vcc dengan tegangan +10 volt untuk memberikan referensi pada tegangan masukan yang berlevel TTL. Sedangkan mengenai jangkauan keluaran ditentukan oleh Vref (+) dan Vref (-).

3. Perancangan dan pembuatan rangkaian buck konverter

Buck konverter mempunyai tegangan masukan (V_d) sebesar 24 volt dari rangkaian catu daya dc. Adapun gambar rangkaian dari buck konverter adalah :



GAMBAR 13. RANGKAIAN BUCK KONVERTER

Ada beberapa prosedur yang harus dilakukan dalam merancang dan menentukan nilai-nilai dari komponen buck konverter sampai fungsi transfer di dapat untuk proses simulasi dari blok buck konverter tersebut, yaitu:

- Tentukan frekuensi pensaklaran, tegangan masukan, tegangan keluaran, dan daya keluaran yang diinginkan,
- Setelah nilai-nilai di atas ditentukan, maka *duty cycle* dapat dihitung dengan menggunakan rumus:

$$D = \frac{V_{out}}{V_{in}} \dots\dots\dots (29)$$

Di mana: D = duty cycle
 Vout = tegangan keluaran
 Vin = tegangan masukan

- Setelah itu periode, waktu hidup dan waktu mati dari *switching* dapat dihitung:

$$T = \frac{1}{f_{ST}} \dots\dots\dots (30)$$

$$T_{ON} = D \times T \dots\dots\dots (31)$$

$$T_{OFF} = (1 - D) \times T \dots\dots\dots (32)$$

- Resistansi ekivalen beban:

$$R = \frac{(V_{OUT})^2}{P} \dots\dots\dots (33)$$

- Nilai minimum induktor untuk mode *continuous conduction*:

$$L_{MIN} = \frac{1-D}{2 \times f_{SW}} \times R \dots\dots\dots (34)$$

- L min untuk kebutuhan disain:

$$L = 1.2 \times L_{MIN} \dots\dots\dots (35)$$

- Arus rata2 melalui induktor:

$$I_{L_RATA} = I_{OUT} = \frac{V_{OUT}}{R} \dots\dots\dots (36)$$

- Arus riak puncak ke puncak:

$$dI_L = \frac{V_{out}}{L} \times (1-D) \times T \dots\dots\dots (37)$$

$$I_{L_MAX} = I_{L_RATA} + \frac{dI_L}{2} \dots\dots\dots (38)$$

$$I_{L_MIN} = I_{L_RATA} - \frac{dI_L}{2} \dots\dots\dots (39)$$

- Memilih Kapasitor berdasarkan tegangan ripple 1%

$$C = \frac{(1-D)}{8} \times L \times \frac{dV_{out}}{V_{out}} \times f^2 \dots\dots\dots (40)$$

- Persentasi arus riak dan arus induktor dapat dihitung:

$$\%CR = \frac{dI_L}{I_{L_RATA}} \times 100\% \dots\dots\dots (41)$$

- Nilai baru L jika arus riak 5%:

$$L = \frac{100 \times (1-D)}{\%CR \times f} \times R \dots\dots\dots (42)$$

- Nilai rata-rata arus induktor:

$$dI_L = I_{L_RATA} \times 5\% \dots\dots\dots (43)$$

- Arus induktor maksimum dan minimum:

$$I_{L_MAX} = I_{L_RATA} + \frac{dI_L}{2} \dots\dots\dots (44)$$

$$I_{L_MIN} = I_{L_RATA} - \frac{dI_L}{2} \dots\dots\dots (45)$$

- Nilai baru Kapasitor:

$$C = \frac{1-D}{8} \times L \times \frac{dV_{out}}{V_{out}} \times f^2 \dots\dots\dots (46)$$

- Fungsi transfer:

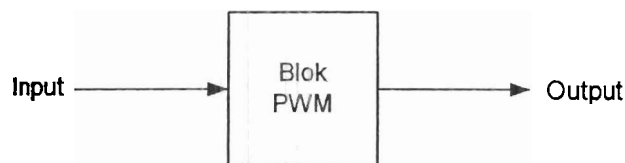
$$G(s) = \frac{1}{1+a_1s+a_2s^2} \dots\dots\dots (47)$$

$$a_1 = \frac{L}{R} \dots\dots\dots (48)$$

$$a_2 = L \times C \dots\dots\dots (49)$$

4. Perancangan dan pembuatan rangkaian PWM

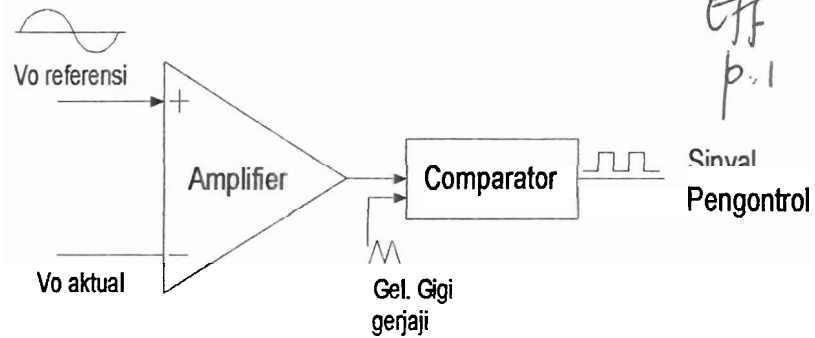
Modulasi lebar pulsa atau disebut juga dengan PWM merupakan proses penumpangan, pembungkusan atau pengkodean informasi atau pesan (sinyal modulasi) secara utuh. Sinyal pemodulasi sesungguhnya adalah nilai tegangan atau arus yang variabel, searah ataupun bolak balik. Sedangkan sinyal termodulasi adalah rentetan pulsa yang lebar (periodenya) berubah-ubah sesuai dengan nilai tegangan yang diwakilinya.



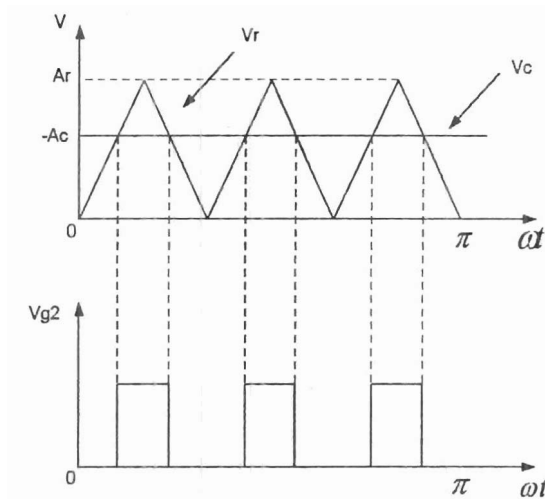
GAMBAR 14. RANGKAIAN BLOK PWM

Untuk menghasilkan tegangan keluaran yang bisa diatur, *chopper* dapat dikendalikan dengan teknik lebar pulsa atau PWM. Sinyal yang dimodulasi lebar pulsa dapat diturunkan dari sinyal yang dipilih dengan menggunakan rangkaian pembentuk gelombang (osilator) dan pembanding. Sedangkan prinsip dasar dari pensaklaran modulasi lebar pulsa (PWM) adalah membandingkan antara gelombang segitiga (V_r) dengan tegangan kontrol (V_c) sehingga menghasilkan gelombang persegi.

G21.31
EFF
p.1



GAMBAR 15. TEKNIK MODULASI LEBAR PULSA



GAMBAR 16. PULSA PENYALAN PWM

Mode pensaklarannya adalah sebagai berikut

1. Jika $V_c > V_r$ maka pulsa yang dihasilkan dianggap pulsa kondisi hidup.
2. Jika $V_c < V_r$ maka pulsa yang dihasilkan dianggap pulsa kondisi mati.

Masukan dari PWM ini terdiri dari penguat operasional dan pembangkit gelombang segitiga.

Gambar 16 Menunjukkan bahwa pulsa penyalaan diperoleh dari hasil perbandingan dengan komparator (pemanding) antara tegangan referensi dengan gelombang segitiga. Dari gambar dapat diketahui tegangan rata-rata beban adalah:

$$\alpha = \frac{V_{ref}}{V_{segitiga}} = \frac{t_{ON}}{T_s} \dots \dots \dots (50)$$

dimana: α = koefisien tegangan rata-rata beban

5. Perancangan dan pembuatan bahasa program komputer sebagai sistem kontrol dan simulasi.

Adapun prosedur pada bagian ini yaitu pada form user interface yang tampil di layar monitor komputer, operator menginputkan nilai set point tegangan yang diinginkan (0 ~ 18 Vdc), konstanta Kp, Ki, dan Kd. Setelah tombol running ditekan, nilai-nilai ini dikirim ke mikrokontroler AT89S51 melalui port serial RS-232 dan di simpan dalam RAM. Selanjutnya mikrokontroler membaca nilai aktual dari rangkaian sensor tegangan hasil konversi ADC 0804 dan membandingkannya dengan nilai set point yang tersimpan di RAM. Nilai error yang dihasilkan oleh perbedaan nilai tegangan set point dan tegangan aktual tersebut diproses oleh mikrokontroler AT89CS51, menggunakan bahasa pemrograman assembly MCS-51 dengan metode system kendali PID, untuk pengambilan keputusan lebar pulsa (duty cycle) yang akan dihasilkan oleh rangkaian PWM. Pulsa tersebut nantinya akan diteruskan ke rangkaian driver untuk penyulutan (trigger) pada pin Gate MOSFET.

IV. PROTOTYPE, HASIL UJI COBA DAN PEMBAHASAN

IV.1. Prototype

Pembuatan *prototype* dilakukan setelah hasil rancangan disimulasikan dalam komputer berjalan dengan baik. Adapun pembuatan *prototype* meliputi pembuatan modul-modul di bawah ini:

1. Perancangan dan penggunaan Modul ADC
2. Perancangan dan penggunaan Modul DAC
3. Perancangan dan pembuatan rangkaian buck konverter
4. Perancangan dan pembuatan rangkaian PWM
5. Perancangan dan pembuatan bahasa program komputer sebagai sistem kontrol dan simulasi.

Berdasarkan persamaan 29 s/d 46 didapatkan nilai komponen buck konverter sebagai berikut:

$$R = 4.5 \text{ ohm}$$

$$L = 0.16875 \text{ H}$$

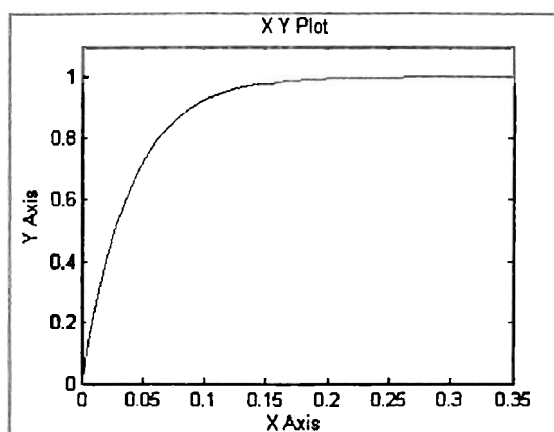
$$C = 6.94e-8 \text{ F}$$

Berdasarkan persamaan 47, fungsi transfernya yaitu:

$$G(s) = \frac{1}{1 + 0.0375s + 1.17e-8s^2}$$

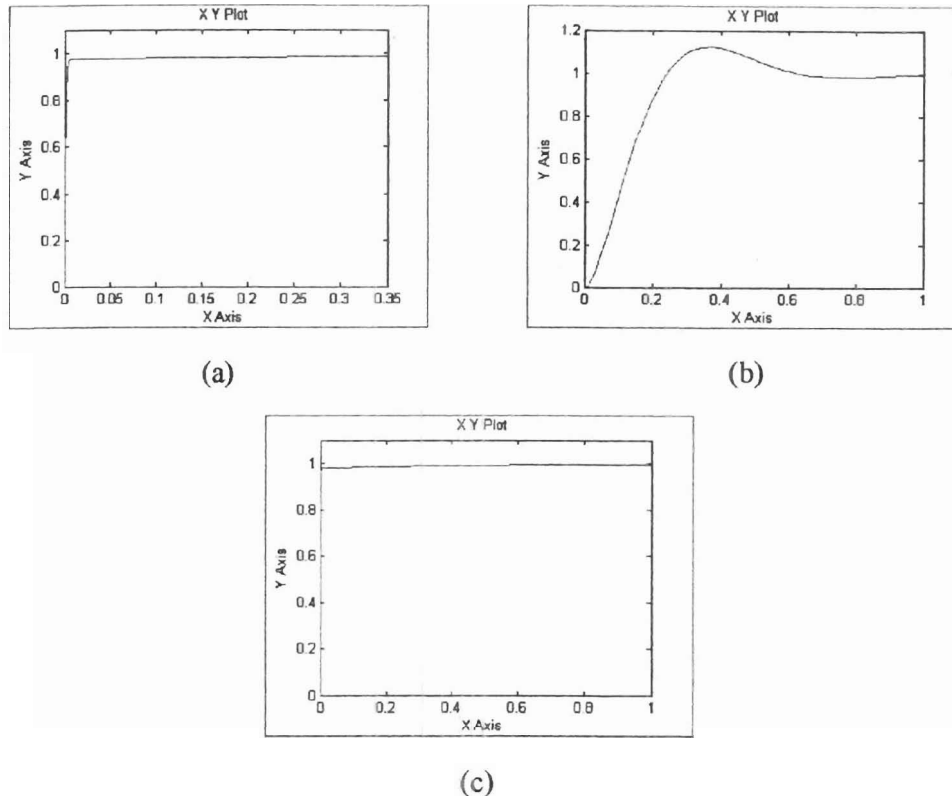
Fungsi transfer tersebut kemudian disimulasikan dengan software komputer sehingga terlihat plant sistem yang akan dikontrol.

Berikut ini adalah hasil dari *plant* sistem buck konverter:



GAMBAR 17. DIAGRAM STEP UNTUK BUCK KONVERTER

Dengan memberikan control PI, PD dan PID pada plant, maka diagram step plant dengan masing-masing kontrolernya diperlihatkan oleh gambar-gambar di bawah ini:



GAMBAR 18. DIAGRAM STEP BUCK KONVERTER DENGAN KONTROLER (A) PI; (B) PD; DAN (C) PID

Catatan: sumbu x merupakan waktu dan sumbu y merupakan amplitudo

Berdasarkan simulasi, dari ketiga grafik di atas, kontroler PI dan PID cukup dapat memenuhi kriteria respon dinamik yang diharapkan. Sedangkan PD masih menunjukkan simpangan yang agak besar walaupun akhirnya keadaan steady state dapat dicapai. Pada kontroler PI masih terdapat error/ perbedaan antara yang diinginkan dengan hasil akhirnya sedangkan PID kontroler dapat mencapai keadaan yang diinginkan.

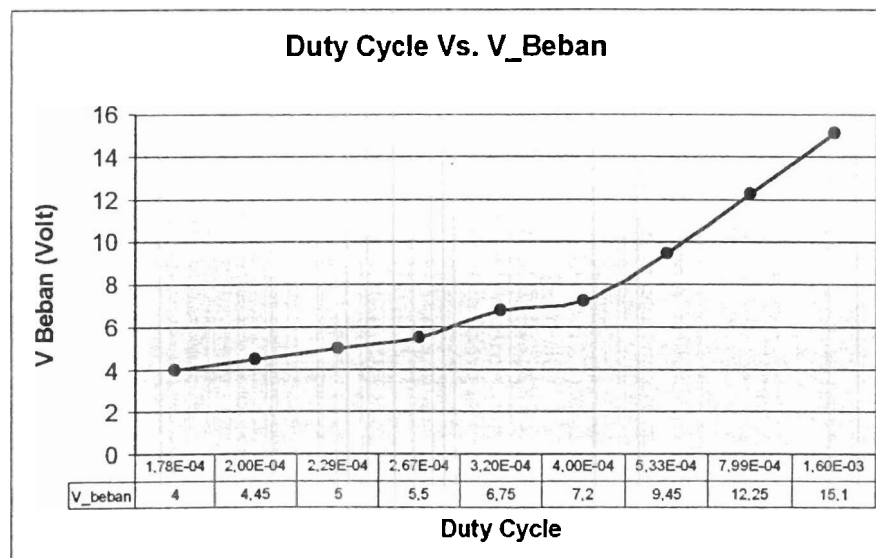
IV.2. Hasil Uji Coba dan Pembahasan

Simulasi awal merupakan dasar perancangan alat buck converter, di mana rancangan akhir dari buck konverter dapat dilihat pada gambar rangkaian pada lampiran 1. Pada proses pembuatan alat, pemakaian komponen perlu dilakukan penyesuaian sehingga terdapat perbedaan pemakaian alat berdasarkan perhitungan dan pada saat pembuatan alat. Hasil uji awal dari rangkaian tersebut diperlihatkan oleh tabel 1.

TABEL 1. HASIL UJI COBA RANGKAIAN BUCK KONVERTER

No.	T _{on}	T _{off}	T	D	V _{beban}
1	4,00E-06	0,0225	2,25E-02	1,78E-04	4
2	4,00E-06	0,02	2,00E-02	2,00E-04	4,45
3	4,00E-06	0,0175	1,75E-02	2,29E-04	5
4	4,00E-06	0,015	1,50E-02	2,67E-04	5,5
5	4,00E-06	0,0125	1,25E-02	3,20E-04	6,75
6	4,00E-06	0,01	1,00E-02	4,00E-04	7,2
7	4,00E-06	0,0075	7,50E-03	5,33E-04	9,45
8	4,00E-06	0,005	5,00E-03	7,99E-04	12,25
9	4,00E-06	0,0025	2,50E-03	1,60E-03	15,1

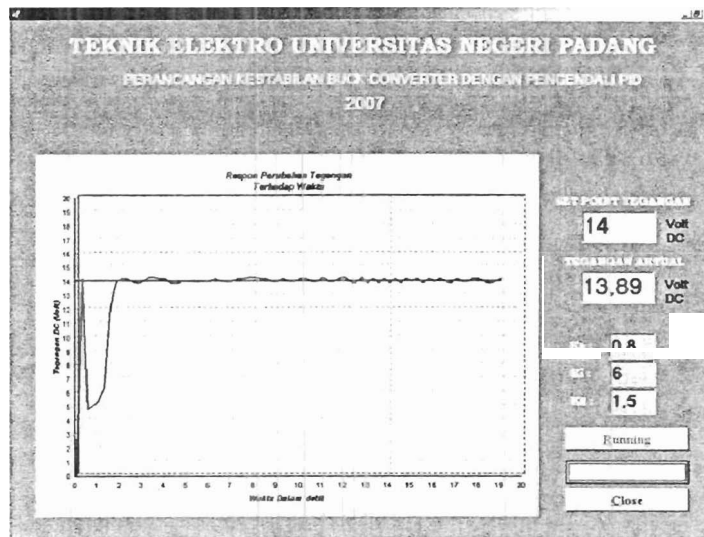
Tabel 1 menunjukkan nilai T_{on} (waktu hidup) dan T_{off} (waktu mati) dari PWM untuk menentukan duty cycle dari rangkaian tersebut. Nilai-nilai ini nantinya akan digunakan sebagai data untuk perancangan kontrol PID digital pada mikrokontroler. Grafik duty cycle terhadap tegangan keluaran buck diperlihatkan oleh gambar 19.



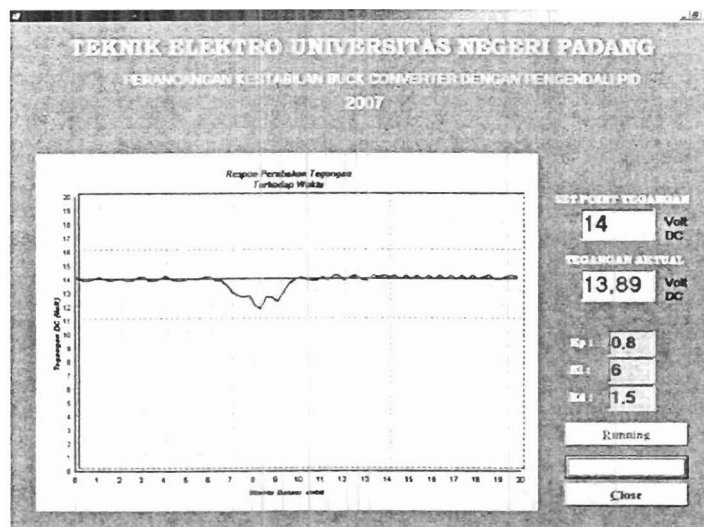
GAMBAR 19. HUBUNGAN DUTY CYCLE DENGAN TEGANGAN KELUARAN BUCK

Grafik di atas menunjukkan bahwa hubungan antara duty cycle dan tegangan keluaran buck linear, di mana makin besar duty cycle, maka makin besar pula tegangan keluaran dari buck konverter.

Setelah itu, kontroler PID dirancang di mana listing programnya terlihat pada lampiran 2. Setelah itu hasil rancangan diuji dengan 3 set point yaitu 14, 15, dan 16 Volt. Hasil terbaik didapatkan dengan menset nilai K_p , K_i dan K_d sebesar 0.8; 6; dan 1.5. Bentuk grafik hasil pengujian ditunjukkan oleh gambar-gambar di bawah ini:



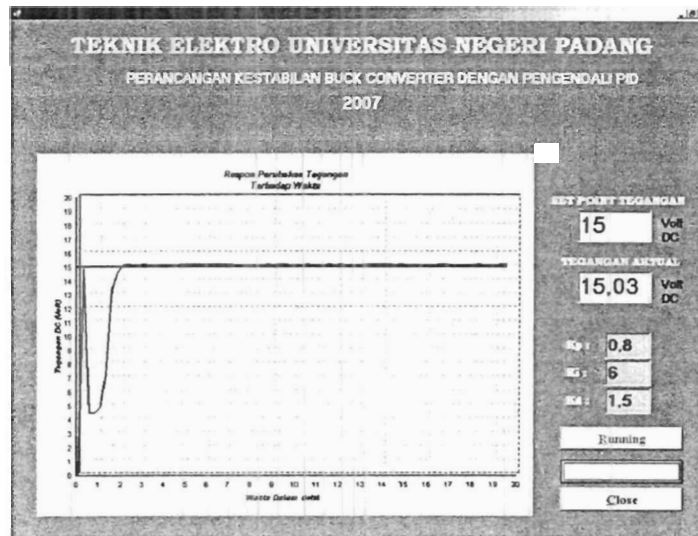
GAMBAR 20. HASIL PENGUJIAN DENGAN SET POINT 14 V (TANPA BEBAN)



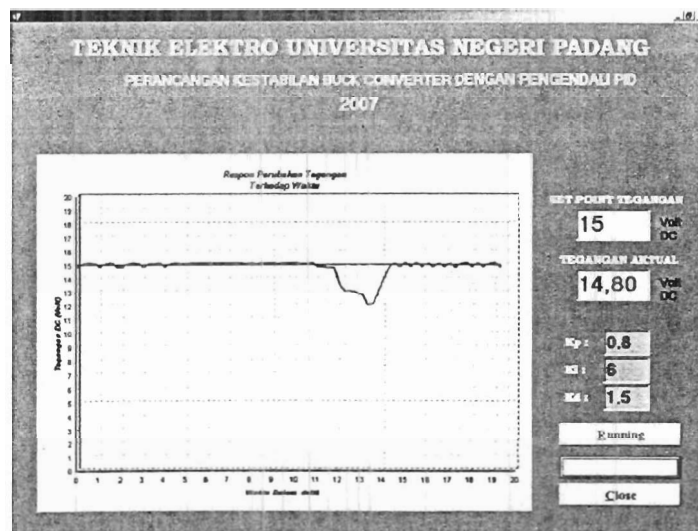
GAMBAR 21. HASIL PENGUJIAN DENGAN SET POINT 14 V (DENGAN BEBAN)

Pada pengujian set point 14 V, seperti terlihat pada gambar 20 dan 21, terlihat bahwa terjadi sedikit perbedaan antara tegangan yang di set dengan tegangan sebenarnya sebesar 0.8 %. Kestabilan di dapat dalam waktu 1.7 detik.

Pada pengujian set point 15 V, seperti terlihat pada gambar 22, dan 23 terlihat bahwa terjadi perbedaan antara tegangan yang di set dengan tegangan sebenarnya pada keadaan tanpa beban sebesar 0.2% dan pada keadaan berbeban sebesar 1.33 %. Kestabilan di dapat dalam waktu 2 detik.

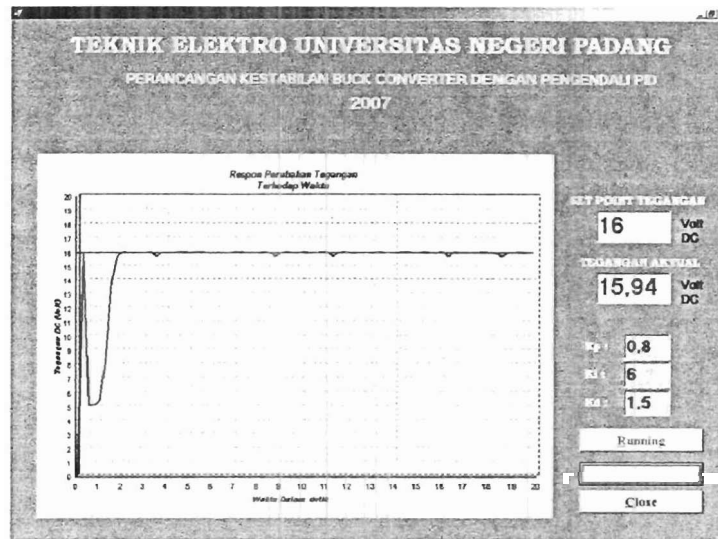


GAMBAR 22. HASIL PENGUJIAN DENGAN SET POINT 15 V (TANPA BEBAN)

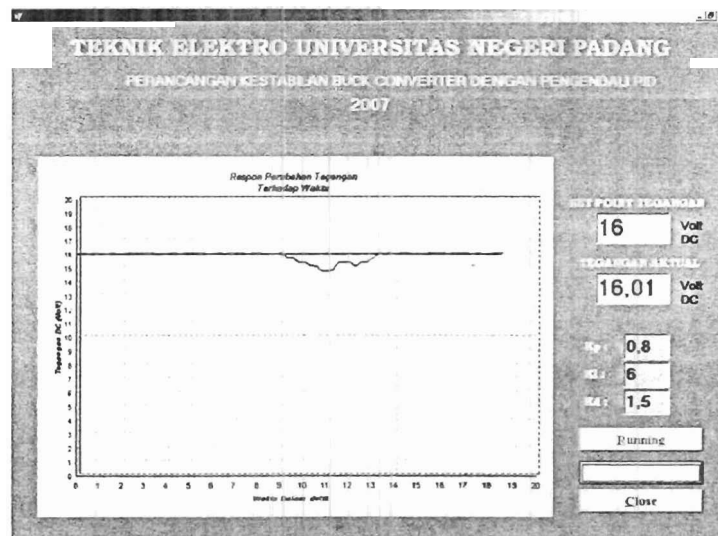


GAMBAR 23. HASIL PENGUJIAN DENGAN SET POINT 15 V (DENGAN BEBAN)

Pada pengujian set point 16 V, seperti terlihat pada gambar 24, dan 25 terlihat bahwa terjadi perbedaan antara tegangan yang di set dengan tegangan sebenarnya pada keadaan tanpa beban sebesar 0.375% dan pada keadaan berbeban sebesar 0.0625%. Kestabilan di dapat dalam waktu 1.8 detik.



GAMBAR 24. HASIL PENGUJIAN DENGAN SET POINT 16 V (TANPA BEBAN)



GAMBAR 25. HASIL PENGUJIAN DENGAN SET POINT 16 V (DENGAN BEBAN)

Jika dilihat dari ketiga pengujian di atas, maka rata-rata perbedaan untuk pengujian tanpa beban yaitu 0.46% sedangkan untuk pengujian berbeban yaitu 0.73%. Dan kestabilan didapat setelah 1.83 detik.

Pemilihan nilai K_p , K_i , K_d yang berbeda tentu akan memberi perbedaan terhadap nilai tegangan keluaran dari buck konverter. Drop tegangan yang terjadi sebelum

terjadinya keseimbangan masih perlu penelitian lebih lanjut, tetapi kemungkinan ini terjadi karena beberapa hal seperti kurang cocoknya pemilihan komponen buck atau kurang cocoknya penentuan nilai K_p , K_i dan K_d .

Dalam penelitian ini, perancangan PID secara digital telah dilakukan, dan jika respon kestabilan sebesar 1.83 detik dan kesalahan sebesar 0.46% dan 0.73% untuk tanpa beban dan berbeban dapat diterima, maka secara umum tujuan penelitian ini sudah cukup tercapai.

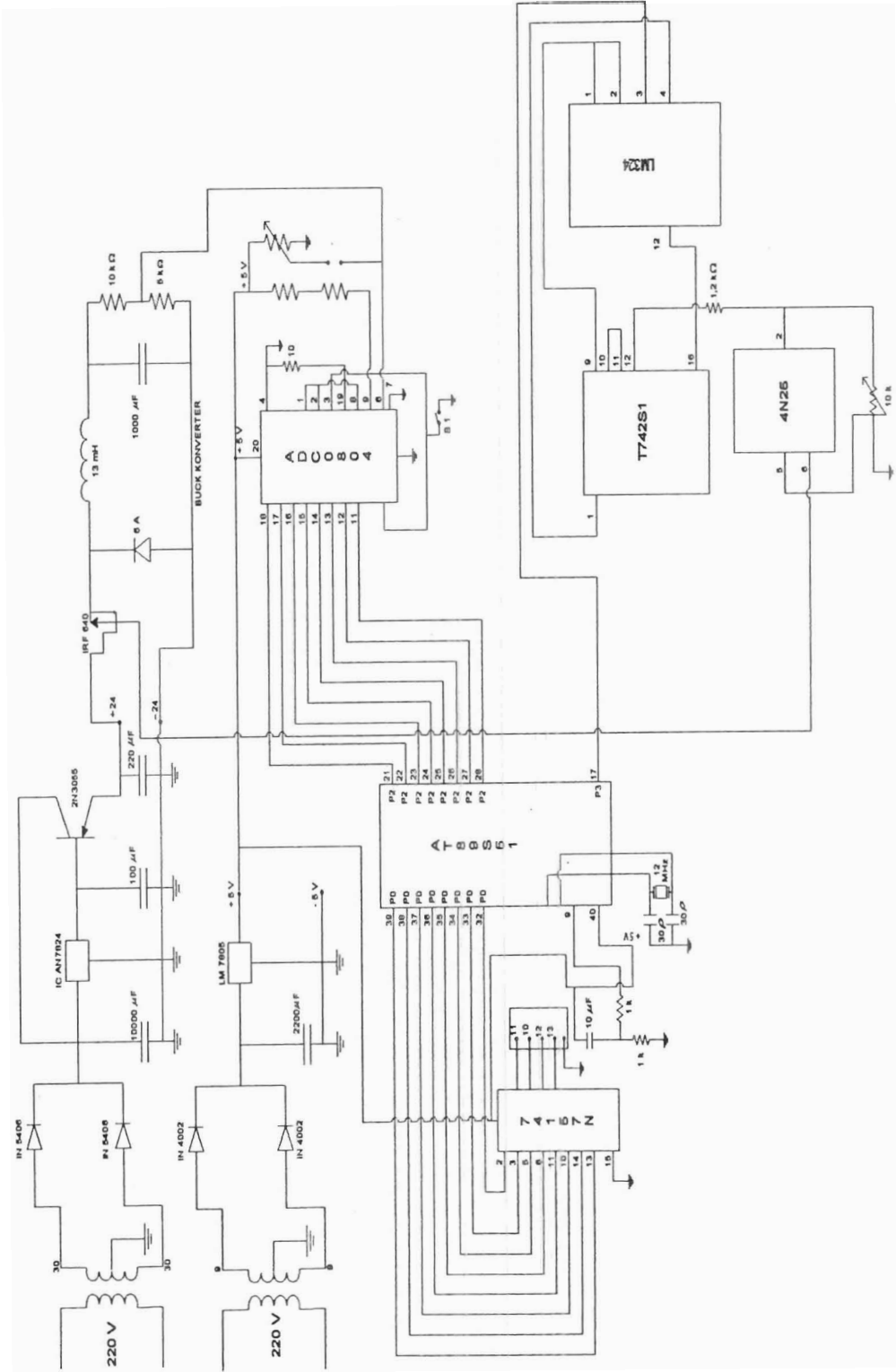
V. KESIMPULAN DAN SARAN

1. Metode pengendali PID digital lebih fleksibel dibandingkan PID analog terhadap perubahan plant, di mana proses penalaan pada PID digital cukup dengan mengubah program dan mengubah konstanta K_p , K_i , dan K_d .
2. Hasil simulasi menunjukkan kontroler dengan PI dan PID cukup bisa memenuhi kriteria yang diinginkan, sedangkan kontroler PD belum. Sehingga perlu dicari kombinasi yang tepat antara konstanta P dan D sehingga hasil yang diinginkan bisa terpenuhi.
3. Dari hasil pengujian dengan nilai K_p , K_i , dan K_d sebesar 0.8; 6; dan 1.5, untuk set point 14, 15, dan 16 V, didapatkan rata-rata perbedaan untuk pengujian tanpa beban yaitu 0.46% sedangkan untuk pengujian berbeban yaitu 0.73%. Dan kestabilan didapat setelah 1.83 detik.
4. Bagi yang berminat untuk mengembangkan penelitian ini lebih lanjut disarankan lebih memfokuskan lagi pada pemilihan metoda yang cocok dalam pemilihan komponen pembentuk buck dan penentuan nilai-nilai K_p , K_i , dan K_d , karena nilai-nilai tersebut sangat tergantung dengan sistem yang dirancang.

VI. PUSTAKA

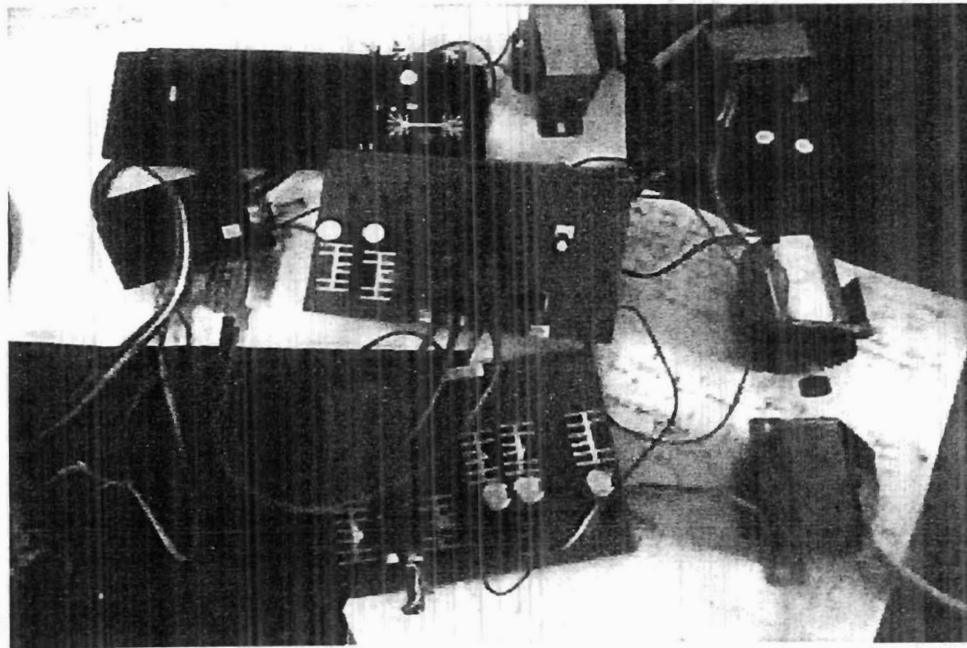
- [1] Mohan, Ned, Tore M. Undeland and William P. Robbins (1995) Power Electronics: Converters, Applications, and Design. 2nd ed. John Wiley and Sons, New York.
- [2] Qiao, Michael, Parviz Parto and Reza Amirani (2002) Stabilize The Buck Converter with Transconductance Amplifier. International Rectifier.
- [3] D. Maksimovic, R. Erickson (1999) Advances in Averaged Switch Modeling and Simulation. 2.4MB slides from 3 hour tutorial seminar presented at the IEEE Power Electronics Specialists Conference. Charleston, South Carolina,
- [4] Erickson, Wrobert, Anvaced in Averaged Switch Model, University of Colorado.
- [5] Feng,Guang, Wilson Eberle and Yan-Fei Liy (2005) A new Digital Control Algoritm to Achieve Optimal Dynamic Performance in DC to DC Converter. IEEE.

LAMPIRAN



LAMPIRAN 1. RANGKAIAN PENELITIAN

LAMPIRAN 2. FOTO HASIL PENELITIAN



LAMPIRAN 3. ABSTRAK PENELITIAN MAHASISWA

LAMPIRAN 4. BEBERAPA DATASHEET ACUAN PENELITIAN

PERANCANGAN KESTABILAN BUCK KONVERTER DENGAN PENGENDALI PI

PROYEK AKHIR

*Diajukan Sebagai Salah Satu Persyaratan
Untuk Menyelesaikan Program Diploma III Teknik Elektro*



NAMA : LOLA RIDWAN
NIM/BP : 43251/2003
Jurusan : Teknik Elektro
Konsentrasi : Instalasi Listrik

**FAKULTAS TEKNIK
UNIVERSITAS NEGERI PADANG**

2007

ABSTRAK

Buck Converter merupakan pengubah tegangan DC yang lebih tinggi ke tegangan DC yang lebih rendah. Metode sederhana untuk menghasilkan tegangan DC yang lebih rendah biasanya dengan menggunakan rangkaian pembagi tegangan (*Voltage Divider*), namun memiliki kelemahan yaitu terjadi pembuangan daya sisa pembagian tegangan menjadi energi panas. Tentu saja pemborosan daya ini tidak diinginkan, apalagi untuk pemakaian peralatan elektronik yang menggunakan tegangan sumber yang berasal dari battery, Accu, dll, karena daya yang tersimpan bisa cepat habis. Secara umum *Buck Converter* terdiri dari komponen *power switching* (BJT, MOSFET, IGBT), dioda, induktor dan kapasitor serta beban.

Perancangan kestabilan *Buck Converter* dengan pengendali PI ini menggunakan metode pengendali PI Digital. Dibanding dengan pendahulunya (PI Analog), PI Digital lebih fleksibel terhadap perubahan *plant*. Proses penalaan cukup dengan mengubah program, konstanta KP dan KI pada komputer (PC) atau mikrokontroler.

Pada form *user interface* yang tampil di layar monitor komputer (PC), operator menginputkan nilai *set point* tegangan yang diinginkan (0 s/d 18 volt DC), konstanta KP dan KI. Setelah tombol *running* ditekan, nilai-nilai ini dikirim ke mikrokontroler AT89S51 melalui port serial RS-232 dan disimpan dalam RAM. Selanjutnya mikrokontroler membaca nilai tegangan aktual dari rangkaian sensor tegangan hasil konversi ADC 0804 dan membandingkannya dengan nilai *set point* yang tersimpan di RAM. Nilai *error* yang dihasilkan oleh perbedaan nilai tegangan *set point* dan tegangan aktual tersebut diproses oleh mikrokontroler AT89S51, menggunakan bahasa pemrograman assembly MCS-51 dengan metode sistem kendali PI, untuk pengambilan keputusan besar lebar pulsa (*duty cycle*) yang akan dihasilkan oleh rangkaian PWM (*Pulse Width Modulation*).

Pulsa yang dihasilkan oleh rangkaian PWM diteruskan ke rangkaian driver untuk penyulutan (*trigger*) pada pin *Gate* MOSFET. Dari hasil pengujian, diperoleh nilai tegangan output yang dihasilkan oleh rangkaian *Buck Converter* linier terhadap lebar pulsa (*duty cycle*) yang diberikan ke pin *Gate* MOSFET. Semakin besar nilai *duty cycle*, semakin besar tegangan output rangkaian *buck converter*.

Untuk mengetahui respon transient (*settling time*) dan *steady state error*, nilai tegangan aktual hasil konversi ADC0804 dikirim ke komputer (PC) melalui port serial RS-232. Nilai ini ditampilkan pada layar monitor komputer (PC) dalam bentuk grafik, dengan demikian operator dapat melihat grafik nilai tegangan *set point* dan aktual. Jika grafik yang dihasilkan belum sesuai dengan keinginan, operator dapat mengubah nilai konstanta KP dan KI sampai diperoleh hasil yang diinginkan.

Dari hasil pengujian menggunakan motor DC dengan beban dan tanpa beban, hasil pengendalian yang terbaik diperoleh dari nilai konstanta sebagai berikut : KP=2.0, KI=3.5. Pada saat motor DC tanpa beban, nilai *Error* berkisar $\pm 15\%$ dari nilai tegangan *set point*. *Overshoot* terjadi pada saat sistem kendali mulai bekerja, berkisar $\pm 40\%$ dari nilai tegangan *set point*. Namun pada saat motor DC diberi beban, nilai *Error* menjadi $\pm 5\%$ dan kondisi *steady state* bisa tercapai dalam waktu yang relatif lambat (± 6 detik).

Kata Kunci : Komputer (PC), Mikrokontroler, ADC, PWM, MOSFET, *Buck Converter*, PI .

PERANCANGAN KESTABILAN BUCK KONVERTER DENGAN PENGENDALI PD

PROYEK AKHIR

*Diajukan Sebagai Salah Satu Persyaratan
Untuk Menyelesaikan Program Diploma III Teknik Elektro*



NAMA : MUHAMMAD IKHSAN
NIM/BP : 41295/2003
Jurusan : Teknik Elektro
Konsentrasi : Mesin Listrik

**FAKULTAS TEKNIK
UNIVERSITAS NEGERI PADANG**

2007

ABSTRAK

Buck Converter merupakan pengubah tegangan DC yang lebih tinggi ke tegangan DC yang lebih rendah. Metode sederhana untuk menghasilkan tegangan DC yang lebih rendah biasanya dengan menggunakan rangkaian pembagi tegangan (*Voltage Divider*), namun memiliki kelemahan yaitu terjadi pembuangan daya sisa pembagian tegangan menjadi energi panas. Tentu saja pemborosan daya ini tidak diinginkan, apalagi untuk pemakaian peralatan elektronik yang menggunakan tegangan sumber yang berasal dari battery, Accu, dll, karena daya yang tersimpan bisa cepat habis. Secara umum *Buck Converter* terdiri dari komponen *power switching* (BJT, MOSFET, IGBT), dioda, induktor dan kapasitor serta beban.

Perancangan kestabilan *Buck Converter* dengan pengendali PD ini menggunakan metode pengendali PD Digital. Dibanding dengan pendahulunya (PD Analog), PD Digital lebih fleksibel terhadap perubahan *plant*. Proses penalaan cukup dengan mengubah program, konstanta KP dan KD pada komputer (PC) atau mikrokontroler.

Pada form *user interface* yang tampil di layar monitor komputer (PC), operator menginputkan nilai *set point* tegangan yang diinginkan (0 s/d 18 volt DC), konstanta KP dan KD. Setelah tombol *running* ditekan, nilai-nilai ini dikirim ke mikrokontroler AT89S51 melalui port serial RS-232 dan disimpan dalam RAM. Selanjutnya mikrokontroler membaca nilai tegangan aktual dari rangkaian sensor tegangan hasil konversi ADC 0804 dan membandingkannya dengan nilai *set point* yang tersimpan di RAM. Nilai *error* yang dihasilkan oleh perbedaan nilai tegangan *set point* dan tegangan aktual tersebut diproses oleh mikrokontroler AT89CS51, menggunakan bahasa pemrograman assembly MCS-51 dengan metode sistem kendali PD, untuk pengambilan keputusan besar lebar pulsa (*duty cycle*) yang akan dihasilkan oleh rangkaian PWM (*Pulse Width Modulation*).

Pulsa yang dihasilkan oleh rangkaian PWM diteruskan ke rangkaian driver untuk penyulutan (*trigger*) pada pin *Gate* MOSFET. Dari hasil pengujian, diperoleh nilai tegangan output yang dihasilkan oleh rangkaian *Buck Converter* linier terhadap lebar pulsa (*duty cycle*) yang diberikan ke pin *Gate* MOSFET. Semakin besar nilai *duty cycle*, semakin besar tegangan output rangkaian *buck converter*.

Untuk mengetahui respon transient (*settling time*) dan *steady state error*, nilai tegangan aktual hasil konversi ADC0804 dikirim ke komputer (PC) melalui port serial RS-232. Nilai ini ditampilkan pada layar monitor komputer (PC) dalam bentuk grafik, dengan demikian operator dapat melihat grafik nilai tegangan *set point* dan aktual. Jika grafik yang dihasilkan belum sesuai dengan keinginan, operator dapat mengubah nilai konstanta KP dan KD sampai diperoleh hasil yang diinginkan.

Dari hasil pengujian menggunakan motor DC dengan beban dan tanpa beban, hasil pengendalian yang terbaik diperoleh dari nilai konstanta sebagai berikut : KP=2.0, KD=0.065. Pada saat motor DC tanpa beban, nilai *Error* berkisar $\pm 6\%$ dari nilai tegangan *set point* dan waktu mencapai kondisi *steady state* relatif lebih cepat (± 2 detik). Namun pada saat motor DC diberi beban, nilai *Error* menjadi $\pm 10\%$ dan kondisi *steady state* tidak tercapai.

Kata Kunci : Komputer (PC), Mikrokontroler, ADC, PWM, MOSFET, *Buck Converter*, PD.

PERANCANGAN KESTABILAN BUCK KONVERTER DENGAN PENGENDALI PID

PROYEK AKHIR

*Diajukan Sebagai Salah Satu Persyaratan
Untuk Menyelesaikan Program Diploma III Teknik Elektro*



NAMA : FEBRI HENNI
NIM/BP : 41274/2003
Jurusan : Teknik Elektro
Konsentrasi : Instalasi Listrik

FAKULTAS TEKNIK
UNIVERSITAS NEGERI PADANG
2007

ABSTRAK

Buck Converter merupakan pengubah tegangan DC yang lebih tinggi ke tegangan DC yang lebih rendah. Metode sederhana untuk menghasilkan tegangan DC yang lebih rendah biasanya dengan menggunakan rangkaian pembagi tegangan (*Voltage Divider*), namun memiliki kelemahan yaitu terjadi pembuangan daya sisa pembagian tegangan menjadi energi panas. Tentu saja pemborosan daya ini tidak diinginkan, apalagi untuk pemakaian peralatan elektronik yang menggunakan tegangan sumber yang berasal dari battery, Accu, dll, karena daya yang tersimpan bisa cepat habis. Secara umum *Buck Converter* terdiri dari komponen *power switching* (BJT, MOSFET, IGBT), dioda, induktor dan kapasitor serta beban.

Perancangan kestabilan *Buck Converter* dengan pengendali PID ini menggunakan metode pengendali PID Digital. Dibanding dengan pendahulunya (PID Analog), PID Digital lebih fleksibel terhadap perubahan *plant*. Proses penalaan cukup dengan mengubah program, konstanta KP, KI dan KD pada komputer (PC) atau mikrokontroler.

Pada form *user interface* yang tampil di layar monitor komputer (PC), operator menginputkan nilai *set point* tegangan yang diinginkan (0 s/d 18 volt DC), konstanta KP, KI dan KD. Setelah tombol *running* ditekan, nilai-nilai ini dikirim ke mikrokontroler AT89S51 melalui port serial RS-232 dan disimpan dalam RAM. Selanjutnya mikrokontroler membaca nilai tegangan aktual dari rangkaian sensor tegangan hasil konversi ADC 0804 dan membandingkannya dengan nilai *set point* yang tersimpan di RAM. Nilai *error* yang dihasilkan oleh perbedaan nilai tegangan *set point* dan tegangan aktual tersebut diproses oleh mikrokontroler AT89S51, menggunakan bahasa pemrograman assembly MCS-51 dengan metode sistem kendali PID, untuk pengambilan keputusan besar lebar pulsa (*duty cycle*) yang akan dihasilkan oleh rangkaian PWM (*Pulse Width Modulation*).

Pulsa yang dihasilkan oleh rangkaian PWM diteruskan ke rangkaian driver untuk penyulutan (*trigger*) pada pin *Gate* MOSFET. Dari hasil pengujian, diperoleh nilai tegangan output yang dihasilkan oleh rangkaian *Buck Converter* linier terhadap lebar pulsa (*duty cycle*) yang diberikan ke pin *Gate* MOSFET. Semakin besar nilai *duty cycle*, semakin besar tegangan output rangkaian *buck converter*.

Untuk mengetahui respon transient (*settling time*) dan *steady state error*, nilai tegangan aktual hasil konversi ADC0804 dikirim ke komputer (PC) melalui port serial RS-232. Nilai ini ditampilkan pada layar monitor komputer (PC) dalam bentuk grafik, dengan demikian operator dapat melihat grafik nilai tegangan *set point* dan aktual. Jika grafik yang dihasilkan belum sesuai dengan keinginan, operator dapat mengubah nilai konstanta KP, KI dan KD sampai diperoleh hasil yang diinginkan.

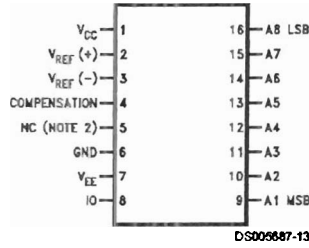
Dari hasil pengujian menggunakan motor DC dengan beban dan tanpa beban, hasil pengendalian yang terbaik diperoleh dari nilai konstanta sebagai berikut : KP=2.0 , KI=7.0 , KD=0.1. Pada saat motor DC tanpa beban, nilai *Error* berkisar $\pm 6\%$ dari nilai tegangan *set point*. Namun pada saat motor DC diberi beban, nilai *Error* berubah mendadak menjadi $\pm 9\%$ dalam rentang waktu ± 2 detik.

Kata Kunci : Komputer (PC), Mikrokontroler, ADC, PWM, MOSFET, *Buck Converter*, PID.

DAC0808

Block and Connection Diagrams (Continued)

Small-Outline Package



Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	N PACKAGE (N16A) (Note 1)		SO PACKAGE (M16A)
		DAC0808LCN	MC1408PB	DAC0808LCM
8-bit	$0^{\circ}\text{C} \leq T_A \leq +75^{\circ}\text{C}$			

Note 1: Devices may be ordered by using either order number.

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Power Supply Voltage

V_{CC}	+18 V_{DC}
V_{EE}	-18 V_{DC}
Digital Input Voltage, V5-V12	-10 V_{DC} to +18 V_{DC}
Applied Output Voltage, V_O	-11 V_{DC} to +18 V_{DC}
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC} , V_{EE}
Power Dissipation (Note 4)	1000 mW
ESD Susceptibility (Note 5)	TBD

Storage Temperature Range	-65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260°C
Dual-In-Line Package (Ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Ratings

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
DAC0808	$0 \leq T_A \leq +75^\circ\text{C}$

Electrical Characteristics

($V_{CC} = 5V$, $V_{EE} = -15V_{DC}$, $V_{REF}/R14 = 2\text{ mA}$, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	(Figure 4)				%
	DAC0808LC (LM1408-8)				± 0.19	%
	Settling Time to Within 1/2 LSB (Includes t_{PLH})	$T_A = 25^\circ\text{C}$ (Note 7), (Figure 5)		150		ns
t_{PLH}	Propagation Delay Time	$T_A = 25^\circ\text{C}$, (Figure 5)		30	100	ns
TCI_O	Output Full Scale Current Drift			± 20		ppm/°C
MSB	Digital Input Logic Levels	(Figure 3)				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	(Figure 3)				
	High Level	$V_{IH} = 5V$		0	0.040	mA
	Low Level	$V_{IL} = 0.8V$		-0.003	-0.8	mA
I_{15}	Reference Input Bias Current	(Figure 3)		-1	-3	μA
	Output Current Range	(Figure 3)				
		$V_{EE} = -5V$	0	2.0	2.1	mA
		$V_{EE} = -15V$, $T_A = 25^\circ\text{C}$	0	2.0	4.2	mA
I_O	Output Current	$V_{REF} = 2.000V$, $R14 = 1000\Omega$, (Figure 3)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(Figure 3)		0	4	μA
	Output Voltage Compliance (Note 3)	$E_r \leq 0.19\%$, $T_A = 25^\circ\text{C}$				
		$V_{EE} = -5V$, $I_{REF} = 1\text{ mA}$			-0.55, +0.4	V_{DC}
		V_{EE} Below -10V			-5.0, +0.4	V_{DC}
SRI_{REF}	Reference Current Slew Rate	(Figure 6)	4	8		mA/ μs
	Output Current Power Supply Sensitivity	$-5V \leq V_{EE} \leq -16.5V$		0.05	2.7	$\mu\text{A/V}$
	Power Supply Current (All Bits Low)	(Figure 3)				
I_{CC}				2.3	22	mA
I_{EE}				-4.3	-13	mA
	Power Supply Voltage Range	$T_A = 25^\circ\text{C}$, (Figure 3)				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			-4.5	-15	-16.5	V_{DC}
	Power Dissipation					

Electrical Characteristics (Continued)

($V_{CC} = 5V$, $V_{EE} = -15V$, $V_{REF}/R14 = 2\text{ mA}$, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	All Bits Low	$V_{CC} = 5V$, $V_{EE} = -5V$		33	170	mW
		$V_{CC} = 5V$, $V_{EE} = -15V$		106	305	mW
	All Bits High	$V_{CC} = 15V$, $V_{EE} = -5V$		90		mW
		$V_{CC} = 15V$, $V_{EE} = -15V$		160		mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 3: Range control is not required.

Note 4: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ\text{C}$, and the typical junction-to-ambient thermal resistance of the dual-in-line package when the board mounted is 100°C/W . For the dual-in-line N package, this number increases to 175°C/W and for the small outline M package this number is 100°C/W .

Note 5: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 6: All current switches are tested to guarantee at least 50% of rated current.

Note 7: All bits switched.

Note 8: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application

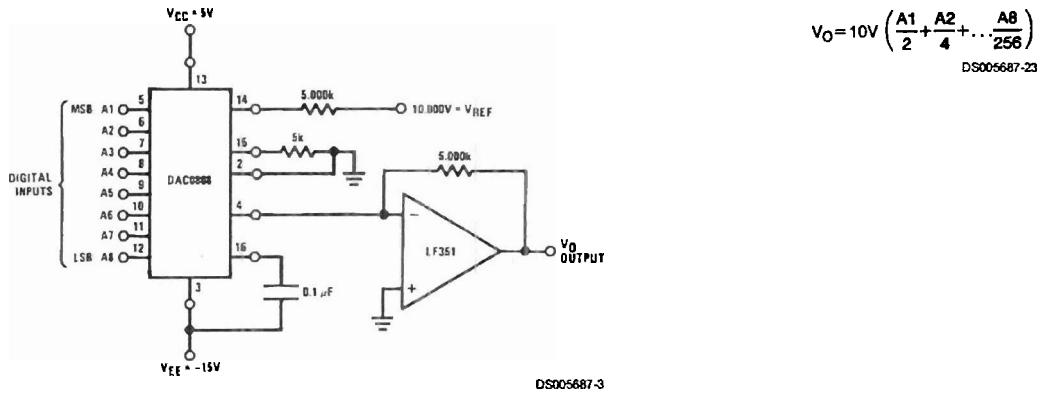
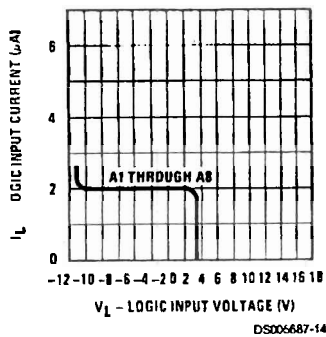


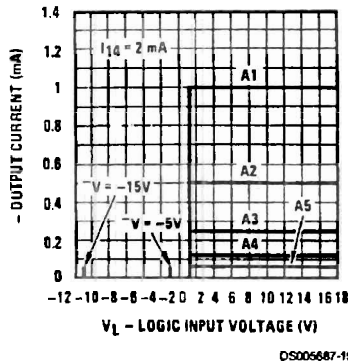
FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

Typical Performance Characteristics $V_{CC} = 5V$, $V_{EE} = -15V$, $T_A = 25^\circ\text{C}$, unless otherwise noted

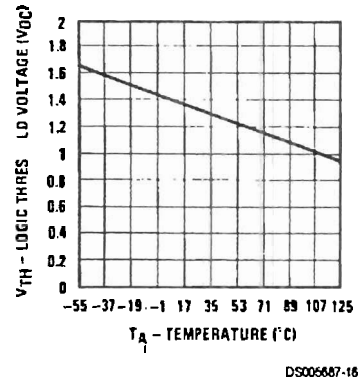
Logic Input Current vs Input Voltage



Bit Transfer Characteristics

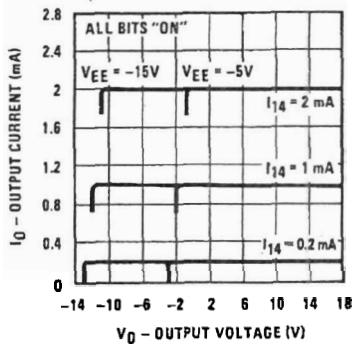


Logic Threshold Voltage vs Temperature



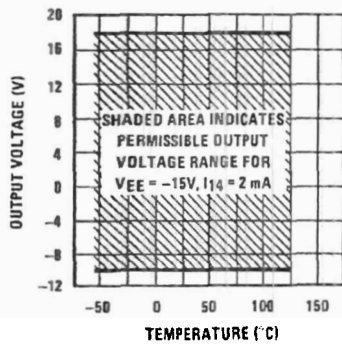
Typical Performance Characteristics $V_{CC} = 5V$, $V_{EE} = -15V$, $T_A = 25^\circ C$, unless otherwise noted (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



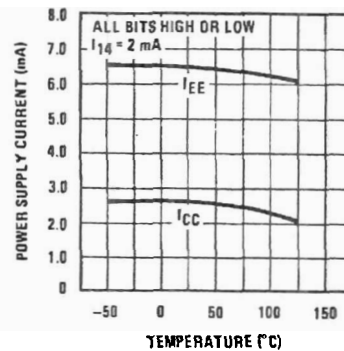
DS005687-17

Output Voltage Compliance vs Temperature



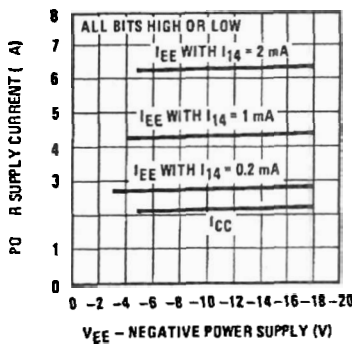
DS005687-18

Typical Power Supply Current vs Temperature



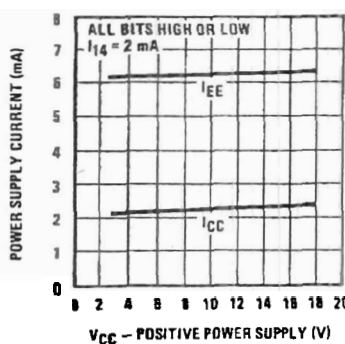
DS005687-19

Typical Power Supply Current vs VEE



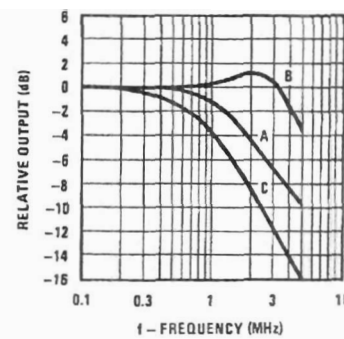
DS005687-20

Typical Power Supply Current vs VCC



DS005687-21

Reference Input Frequency Response



DS005687-22

Unless otherwise specified: $R_{14} = R_{15} = 1\text{ k}\Omega$, $C = 15\text{ pF}$, pin 16 to V_{EE} ; $R_L = 50\Omega$, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of Figure 7, $V_{REF} = 2\text{ Vp-p}$ offset 1V above ground.

Curve B: Small Signal Bandwidth Method of Figure 7, $R_L = 250\Omega$, $V_{REF} = 50\text{ mVp-p}$ offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of Figure 9 (no op amp, $R_L = 50\Omega$), $R_S = 50\Omega$, $V_{REF} = 2V$, $V_S = 100\text{ mVp-p}$ centered at 0V.

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805 8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

- Compatible with 8080 μ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates "stand alone"

- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V

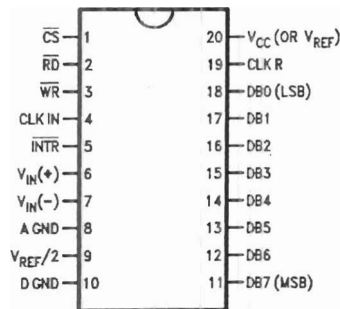
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC} , 2.5 V_{DC} , or analog span adjusted voltage reference

Key Specifications

- Resolution 8 bits
- Total error $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB
- Conversion time 100 μ s

Connection Diagram

ADC080X
Dual-In-Line and Small Outline (SO) Packages



DS005671-30

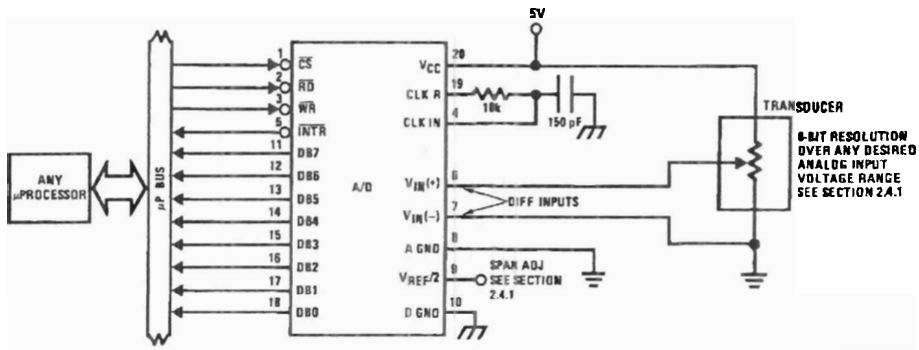
See Ordering Information

Ordering Information

	TEMP RANGE	0°C TO 70°C	0°C TO 70°C	-40°C TO +85°C
ERROR	$\pm 1/4$ Bit Adjusted	ADC0802LCWM	ADC0804LCN	ADC0801LCN
	$\pm 1/2$ Bit Unadjusted			ADC0802LCN
	$\pm 1/2$ Bit Adjusted	ADC0804LCWM	ADC0804LCN	ADC0803LCN
	± 1 Bit Unadjusted			ADC0805LCN/ADC0804LCJ
PACKAGE OUTLINE		M20B—Small Outline	N20A—Molded DIP	

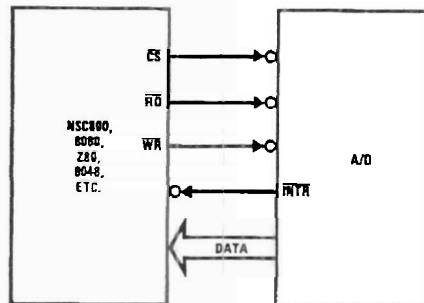
Z-80[®] is a registered trademark of Zilog Corp

Typical Applications



DS005671-1

8080 Interface



DS005671-31

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2=2.500 V_{DC}$ (No Adjustments)	$V_{REF}/2=$ No Connection (No Adjustments)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		± 1 LSB	
ADC0805			± 1 LSB

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage	
Logic Control Inputs	-0.3V to +18V
At Other Input and Outputs	-0.3V to ($V_{CC}+0.3V$)
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C

Infrared (15 seconds)	220°C
Storage Temperature Range	-65°C to +150°C
Package Dissipation at $T_A=25^\circ\text{C}$	875 mW
ESD Susceptibility (Note 10)	800V

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0804LCJ	-40°C $\leq T_A \leq$ +85°C
ADC0801/02/03/05LCN	-40°C $\leq T_A \leq$ +85°C
ADC0804LCN	0°C $\leq T_A \leq$ +70°C
ADC0802/04LCWM	0°C $\leq T_A \leq$ +70°C
Range of V_{CC}	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

The following specifications apply for $V_{CC}=5 V_{DC}$, $T_{MIN} \leq T_A \leq T_{MAX}$ and $f_{CLK}=640$ kHz unless otherwise specified.

Parameter	Conditions	Min	Typ	Max	Units
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/4$	LSB
ADC0802: Total Unadjusted Error (Note 8)	$V_{REF}/2=2.500 V_{DC}$			$\pm 1/2$	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. (See Section 2.5.2)			$\pm 1/2$	LSB
ADC0804: Total Unadjusted Error (Note 8)	$V_{REF}/2=2.500 V_{DC}$			± 1	LSB
ADC0805: Total Unadjusted Error (Note 8)	$V_{REF}/2$ -No Connection			± 1	LSB
$V_{REF}/2$ Input Resistance (Pin 9)	ADC0801/02/03/05 ADC0804 (Note 9)	2.5 0.75	8.0 1.1		k Ω k Ω
Analog Input Voltage Range	(Note 4) $V(+)$ or $V(-)$	Gnd-0.05		$V_{CC}+0.05$	V_{DC}
DC Common-Mode Error	Over Analog Input Voltage Range		$\pm 1/16$	$\pm 1/4$	LSB
Power Supply Sensitivity	$V_{CC}=5 V_{DC} \pm 10\%$ Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		$\pm 1/16$	$\pm 1/4$	LSB

AC Electrical Characteristics

The following specifications apply for $V_{CC}=5 V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
T_C	Conversion Time	$f_{CLK}=640$ kHz (Note 6)	103		114	μs
T_C	Conversion Time	(Notes 5, 6)	66		73	$1/f_{CLK}$
f_{CLK}	Clock Frequency	$V_{CC}=5V$, (Note 5)	100	640	1460	kHz
	Clock Duty Cycle		40		60	%
CR	Conversion Rate in Free-Running Mode	\overline{INTR} tied to \overline{WR} with $=0 V_{DC}$, $f_{CLK}=640$ kHz	8770		9708	conv/s
$t_{W(\overline{WR})L}$	Width of \overline{WR} Input (Start Pulse Width)	$\overline{CS}=0 V_{DC}$ (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of \overline{RD} to Output Data Valid)	$C_L=100$ pF		135	200	ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of \overline{RD} to Hi-Z State)	$C_L=10$ pF, $R_L=10k$ (See TRI-STATE Test Circuits)		125	200	ns
t_{WI}, t_{RI}	Delay from Falling Edge of \overline{WR} or \overline{RD} to Reset of \overline{INTR}			300	450	ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF

AC Electrical Characteristics (Continued)

The following specifications apply for $V_{CC}=5 V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF
CONTROL INPUTS [Note: CLK IN (Pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
$V_{IN}(1)$	Logical "1" Input Voltage (Except Pin 4 CLK IN)	$V_{CC}=5.25 V_{DC}$	2.0		15	V_{DC}
$V_{IN}(0)$	Logical "0" Input Voltage (Except Pin 4 CLK IN)	$V_{CC}=4.75 V_{DC}$			0.8	V_{DC}
$I_{IN}(1)$	Logical "1" Input Current (All Inputs)	$V_{IN}=5 V_{DC}$		0.005	1	μA_{DC}
$I_{IN}(0)$	Logical "0" Input Current (All Inputs)	$V_{IN}=0 V_{DC}$	-1	-0.005		μA_{DC}
CLOCK IN AND CLOCK R						
V_{T+}	CLK IN (Pin 4) Positive Going Threshold Voltage		2.7	3.1	3.5	V_{DC}
V_{T-}	CLK IN (Pin 4) Negative Going Threshold Voltage		1.5	1.8	2.1	V_{DC}
V_H	CLK IN (Pin 4) Hysteresis (V_{T+})-(V_{T-})		0.6	1.3	2.0	V_{DC}
$V_{OUT}(0)$	Logical "0" CLK R Output Voltage	$I_O=360 \mu A$ $V_{CC}=4.75 V_{DC}$			0.4	V_{DC}
$V_{OUT}(1)$	Logical "1" CLK R Output Voltage	$I_O=-360 \mu A$ $V_{CC}=4.75 V_{DC}$	2.4			V_{DC}
DATA OUTPUTS AND INTR						
$V_{OUT}(0)$	Logical "0" Output Voltage Data Outputs INTR Output	$I_{OUT}=1.6 mA, V_{CC}=4.75 V_{DC}$ $I_{OUT}=1.0 mA, V_{CC}=4.75 V_{DC}$			0.4 0.4	V_{DC} V_{DC}
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O=-360 \mu A, V_{CC}=4.75 V_{DC}$	2.4			V_{DC}
$V_{OUT}(1)$	Logical "1" Output Voltage	$I_O=-10 \mu A, V_{CC}=4.75 V_{DC}$	4.5			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	$V_{OUT}=0 V_{DC}$ $V_{OUT}=5 V_{DC}$	-3		3	μA_{DC} μA_{DC}
I_{SOURCE}		V_{OUT} Short to Gnd, $T_A=25^\circ C$	4.5	6		mA_{DC}
I_{SINK}		V_{OUT} Short to V_{CC} , $T_A=25^\circ C$	9.0	16		
POWER SUPPLY						
I_{CC}	Supply Current (Includes Ladder Current) ADC0801/02/03/04LCJ/05 ADC0804LCN/LCWM	$f_{CLK}=640 kHz$, $V_{REF}/2=NC, T_A=25^\circ C$ and $\overline{CS}=5V$			1.1 1.9	1.8 2.5 mA mA

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of $7 V_{DC}$.

Note 4: For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct—especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of $4.950 V_{DC}$ over temperature variations, initial tolerance and loading.

Note 5: Accuracy is guaranteed at $f_{CLK} = 640 kHz$. At higher clock frequencies accuracy can degrade. For lower clock frequencies, the duty cycle limits can be extended so long as the minimum clock high time interval or minimum clock low time interval is no less than 275 ns.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process. The start request is internally latched, see Figure 4 and section 2.0.

AC Electrical Characteristics (Continued)

Note 7: The \overline{CS} input is assumed to bracket the \overline{WR} strobe input and therefore timing is dependent on the \overline{WR} pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the \overline{WR} pulse (see timing diagrams).

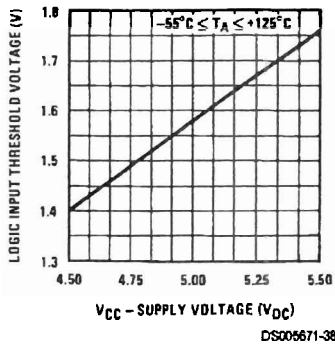
Note 8: None of these A/Ds requires a zero adjust (see section 2.5.1). To obtain zero code at other analog input voltages see section 2.5 and Figure 7.

Note 9: The $V_{REF/2}$ pin is the center point of a two-resistor divider connected from V_{CC} to ground. In all versions of the ADC0801, ADC0802, ADC0803, and ADC0805, and in the ADC0804LCJ, each resistor is typically 16 k Ω . In all versions of the ADC0804 except the ADC0804LCJ, each resistor is typically 2.2 k Ω .

Note 10: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

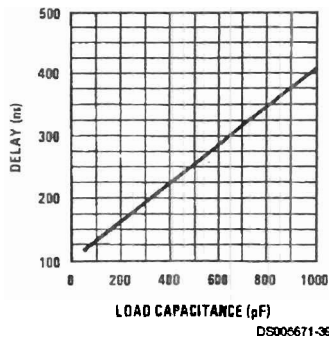
Typical Performance Characteristics

Logic Input Threshold Voltage vs. Supply Voltage



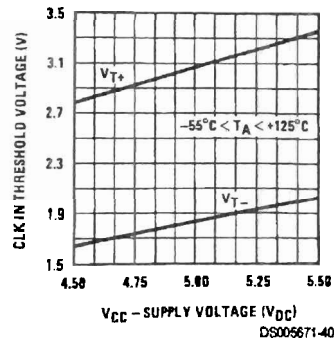
DS005671-38

Delay From Falling Edge of RD to Output Data Valid vs. Load Capacitance



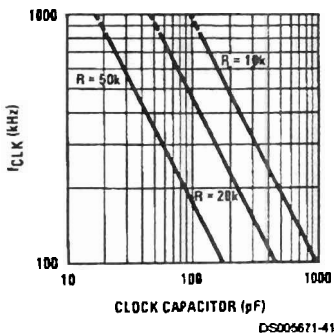
DS005671-39

CLK IN Schmitt Trip Levels vs. Supply Voltage



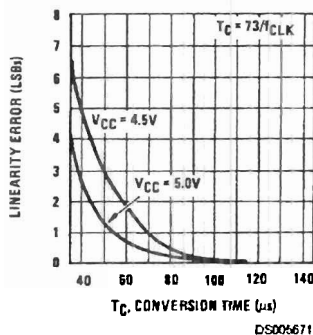
DS005671-40

f_{CLK} vs. Clock Capacitor



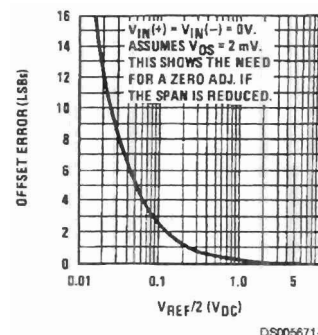
DS005671-41

Full-Scale Error vs Conversion Time



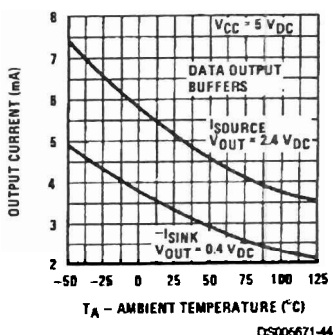
DS005671-42

Effect of Unadjusted Offset Error vs. V_{REF/2} Voltage



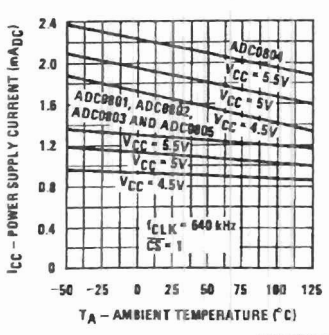
DS005671-43

Output Current vs Temperature



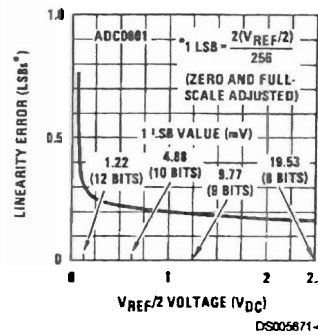
DS005671-44

Power Supply Current vs Temperature (Note 9)



DS005671-45

Linearity Error at Low V_{REF/2} Voltages



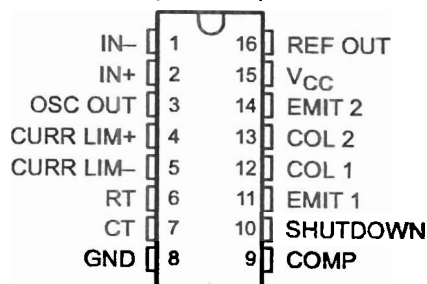
DS005671-46

SG2524, SG3524 REGULATING-PULSE-WIDTH MODULATORS

SLVS077D – APRIL 1977 – REVISED FEBRUARY 2003

- Complete Pulse-Width Modulation (PWM) Power-Control Circuitry
- Uncommitted Outputs for Single-Ended or Push-Pull Applications
- Low Standby Current . . . 8 mA Typ
- Interchangeable With Industry Standard SG2524 and SG3524

SG2524 . . . D OR N PACKAGE
SG3524 . . . D, N, OR NS PACKAGE
(TOP VIEW)



description/ordering information

The SG2524 and SG3524 incorporate all the functions required in the construction of a regulating power supply, inverter, or switching regulator on a single chip. They also can be used as the control element for high-power-output applications. The SG2524 and SG3524 were designed for switching regulators of either polarity, transformer-coupled dc-to-dc converters, transformerless voltage doublers, and polarity-converter applications employing fixed-frequency, pulse-width modulation (PWM) techniques. The complementary output allows either single-ended or push-pull application. Each device includes an on-chip regulator, error amplifier, programmable oscillator, pulse-steering flip-flop, two uncommitted pass transistors, a high-gain comparator, and current-limiting and shutdown circuitry.

ORDERING INFORMATION

T _A	INPUT REGULATION MAX (mV)	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
0°C to 70°C	30	PDIP (N)	Tube of 25	SG3524N	SG3524N
		SOIC (D)	Tube of 40	SG3524D	SG3524
			Reel of 2500	SG3524DR	
-25°C to 85°C	20	SOP (NS)	Reel of 2000	SG3524NSR	SG3524
		PDIP (N)	Tube of 25	SG2524N	SG2524N
			SOIC (D)	Tube of 40	SG2524D
Reel of 2500	SG2524DR				

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

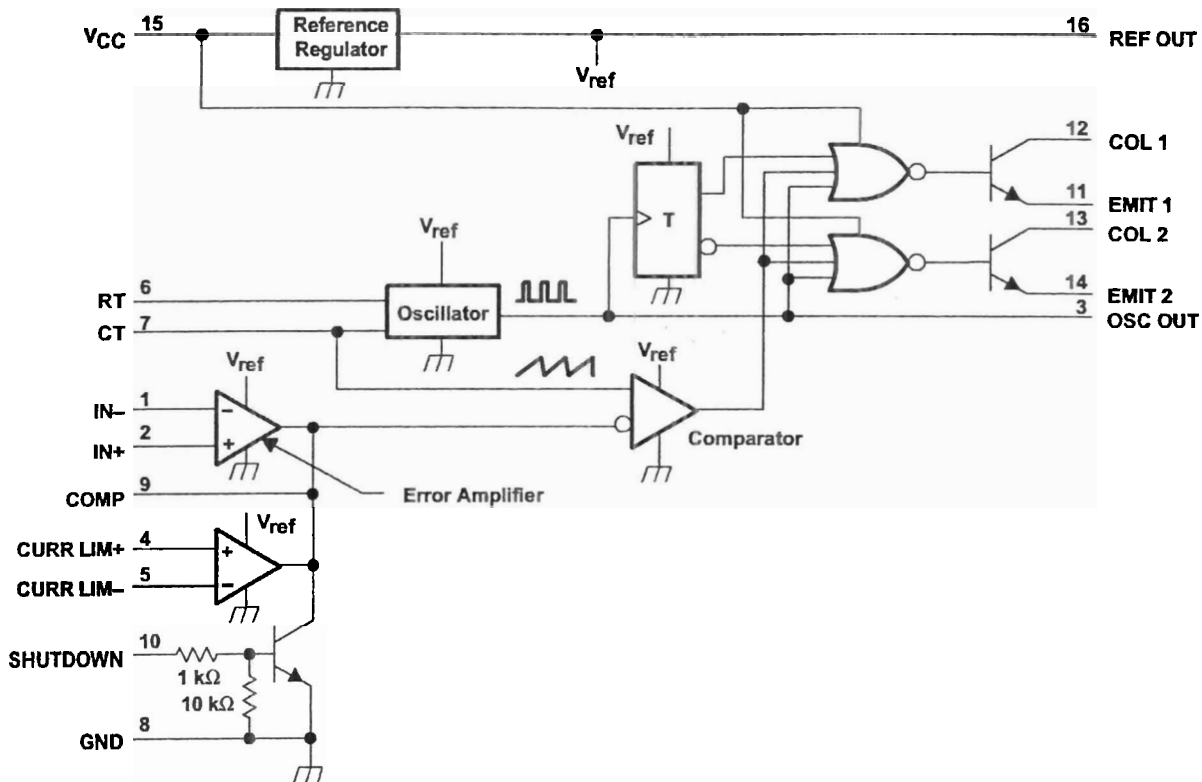
 **TEXAS
INSTRUMENTS**
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated

SG2524, SG3524 REGULATING PULSE-WIDTH MODULATORS

SLVS077D – APRIL 1977 – REVISED FEBRUARY 2003

functional block diagram



NOTE A: Resistor values shown are nominal.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage, V_{CC} (see Notes 1 and 2)	40 V
Collector output current, I_{CC}	100 mA
Reference output current, $I_{O(ref)}$	50 mA
Current through CT terminal	-5 mA
Operating virtual junction temperature, T_J	150°C
Package thermal impedance, θ_{JA} (see Notes 3 and 4):	
D package	73°C/W
N package	67°C/W
NS package	64°C/W
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES:
- All voltage values are with respect to network ground terminal.
 - The reference regulator may be bypassed for operation from a fixed 5-V supply by connecting the V_{CC} and reference output (REF OUT) pin both to the supply voltage. In this configuration, the maximum supply voltage is 6 V.
 - Maximum power dissipation is a function of $T_{J(max)}$, θ_{JA} , and T_A . The maximum allowable power dissipation at any allowable ambient temperature is $P_D = (T_{J(max)} - T_A)/\theta_{JA}$. Operation at the absolute maximum T_J of 150°C can impact reliability.
 - The package thermal impedance is calculated in accordance with JEDEC 51-7.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75285

SG2524, SG3524 REGULATING PULSE-WIDTH MODULATORS

SLVS077D – APRIL 1977 – REVISED FEBRUARY 2003

recommended operating conditions

		MIN	MAX	UNIT	
V _{CC}	Supply voltage	8	40	V	
	Reference output current	0	50	mA	
	Current through CT terminal	-0.03	-2	mA	
R _T	Timing resistor	1.8	100	kΩ	
C _T	Timing capacitor	0.001	0.1	μF	
T _A	Operating free-air temperature	SG2524	-25	85	°C
		SG3524	0	70	

electrical characteristics over recommended operating free-air temperature range, V_{CC} = 20 V, f = 20 kHz (unless otherwise noted)

reference section

PARAMETER	TEST CONDITIONS†	SG2524			SG3524			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
Output voltage		4.8	5	5.2	4.6	5	5.4	V
Input regulation	V _{CC} = 8 V to 40 V		10	20		10	30	mV
Ripple rejection	f = 120 Hz		66			66		dB
Output regulation	I _O = 0 mA to 20 mA		20	50		20	50	mV
Output voltage change with temperature	T _A = MIN to MAX		0.3%	1%		0.3%	1%	
Short-circuit output current§	V _{ref} = 0		100			100		mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values, except for temperature coefficients, are at T_A = 25°C

§ Standard deviation is a measure of the statistical distribution about the mean, as derived from the formula:

$$\sigma = \sqrt{\frac{\sum_{n=1}^N (x_n - \bar{X})^2}{N - 1}}$$

oscillator section

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
f _{osc}	Oscillator frequency	C _T = 0.001 μF, R _T = 2 kΩ		450		kHz
	Standard deviation of frequency§	All values of voltage, temperature, resistance, and capacitance constant		5%		
Δf _{osc}	Frequency change with voltage	V _{CC} = 8 V to 40 V, T _A = 25°C			1%	
	Frequency change with temperature	T _A = MIN to MAX			2%	
	Output amplitude at OSC OUT	T _A = 25°C		3.5		V
t _w	Output pulse duration (width) at OSC OUT	C _T = 0.01 μF, T _A = 25°C		0.5		μs

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values, except for temperature coefficients, are at T_A = 25°C

§ Standard deviation is a measure of the statistical distribution about the mean, as derived from the formula:

$$\sigma = \sqrt{\frac{\sum_{n=1}^N (x_n - \bar{X})^2}{N - 1}}$$



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SG2524, SG3524 REGULATING PULSE-WIDTH MODULATORS

SLVS077D – APRIL 1977 – REVISED FEBRUARY 2003

PARAMETER MEASUREMENT INFORMATION

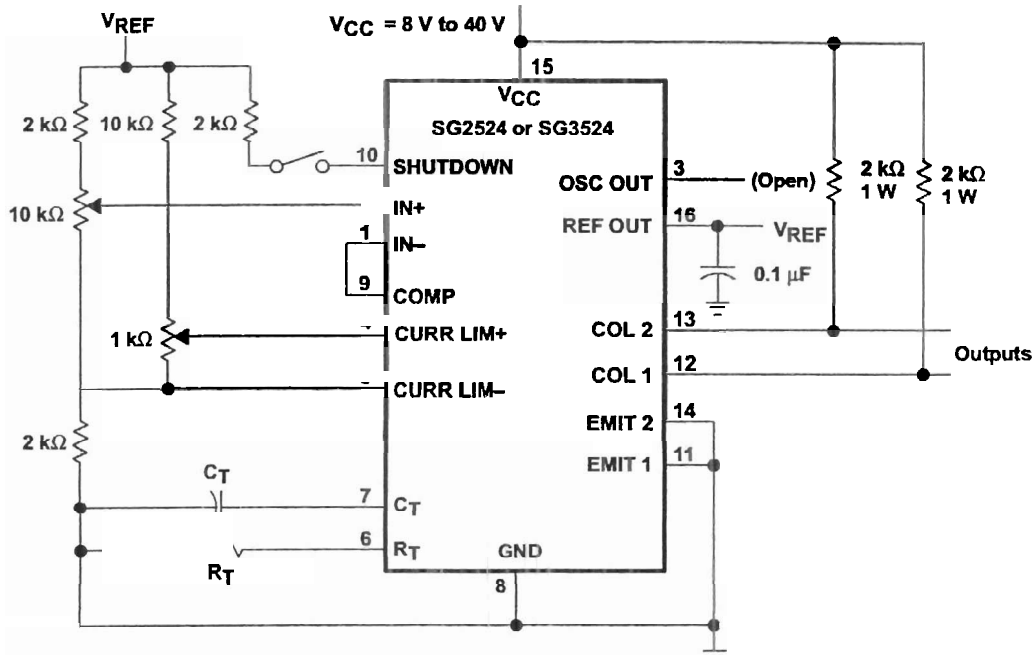


Figure 1. General Test Circuit

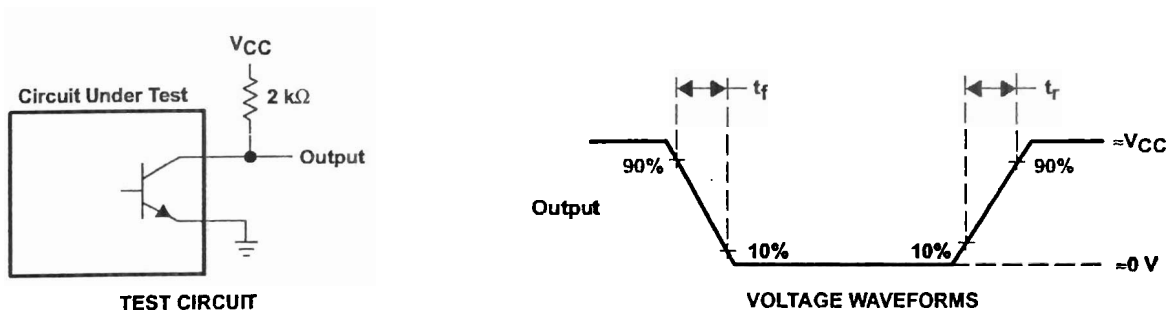


Figure 2. Switching Times

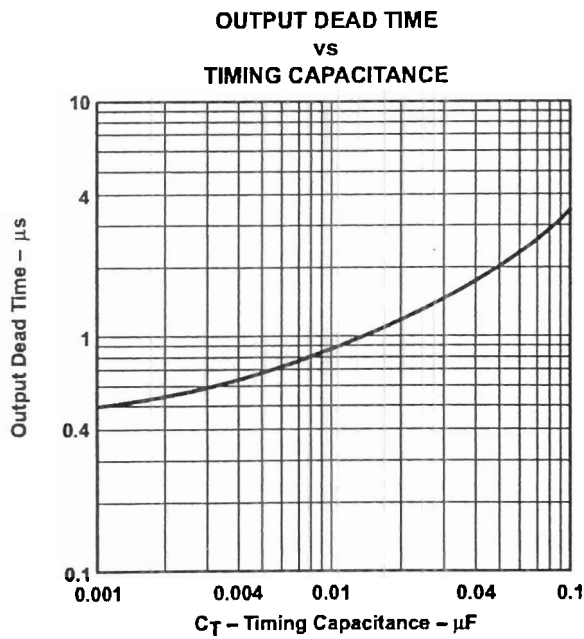
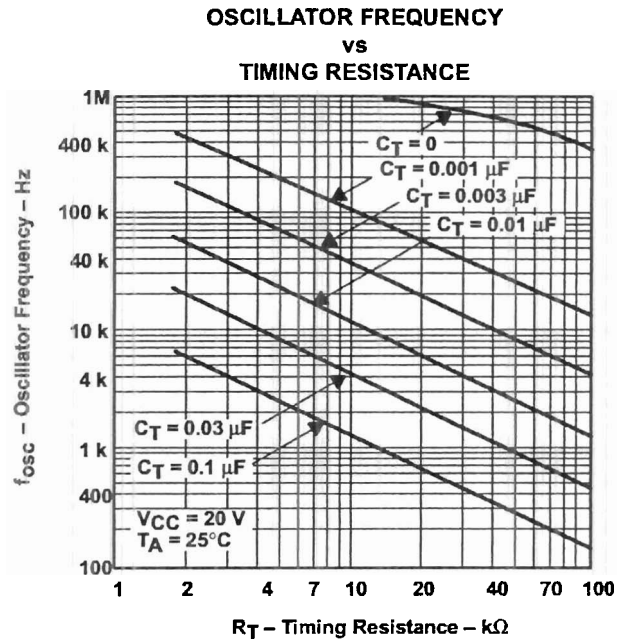
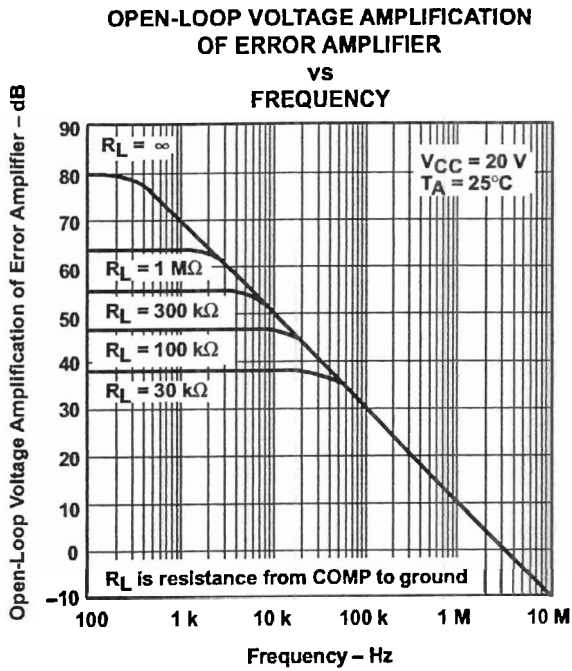


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SG2524, SG3524 REGULATING PULSE-WIDTH MODULATORS

SLVS077D – APRIL 1977 – REVISED FEBRUARY 2003

TYPICAL CHARACTERISTICS



 **TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

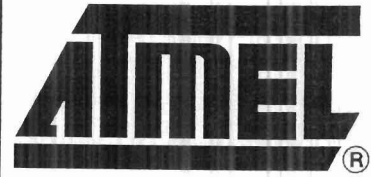
Features

- Compatible with MCS[®]-51 Products
- 4K Bytes of In-System Programmable (ISP) Flash Memory
 - Endurance: 1000 Write/Erase Cycles
- 4.0V to 5.5V Operating Range
- Fully Static Operation: 0 Hz to 33 MHz
- Three-level Program Memory Lock
- 128 x 8-bit Internal RAM
- 32 Programmable I/O Lines
- Two 16-bit Timer/Counters
- Six Interrupt Sources
- Full Duplex UART Serial Channel
- Low-power Idle and Power-down Modes
 - Interrupt Recovery from Power-down Mode
- Watchdog Timer
- Dual Data Pointer
- Power-off Flag
- Fast Programming Time
 - Flexible ISP Programming (Byte and Page Mode)
- Green (Pb/Halide-free) Packaging Option

1. Description

The AT89S51 is a low-power, high-performance CMOS 8-bit microcontroller with 4K bytes of In-System Programmable Flash memory. The device is manufactured using Atmel's high-density nonvolatile memory technology and is compatible with the industry-standard 80C51 instruction set and pinout. The on-chip Flash allows the program memory to be reprogrammed in-system or by a conventional nonvolatile memory programmer. By combining a versatile 8-bit CPU with In-System Programmable Flash on a monolithic chip, the Atmel AT89S51 is a powerful microcontroller which provides a highly-flexible and cost-effective solution to many embedded control applications.

The AT89S51 provides the following standard features: 4K bytes of Flash, 128 bytes of RAM, 32 I/O lines, Watchdog timer, two data pointers, two 16-bit timer/counters, a five-vector two-level interrupt architecture, a full duplex serial port, on-chip oscillator, and clock circuitry. In addition, the AT89S51 is designed with static logic for operation down to zero frequency and supports two software selectable power saving modes. The Idle Mode stops the CPU while allowing the RAM, timer/counters, serial port, and interrupt system to continue functioning. The Power-down mode saves the RAM contents but freezes the oscillator, disabling all other chip functions until the next external interrupt or hardware reset.



8-bit Microcontroller with 4K Bytes In-System Programmable Flash

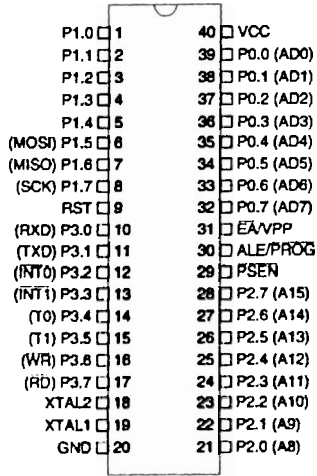
AT89S51

2487C-MICRO-03/05

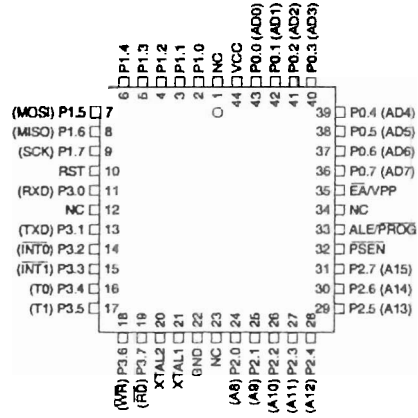


2. Pin Configurations

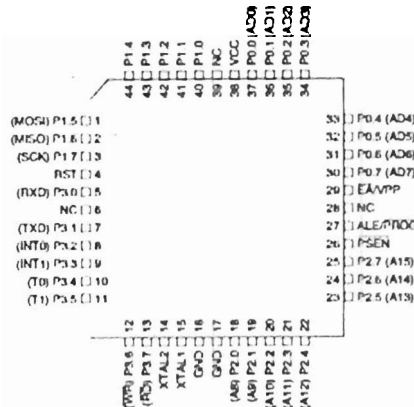
2.1 40-lead PDIP



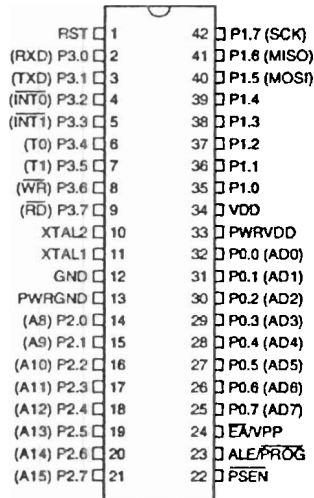
2.3 44-lead PLCC



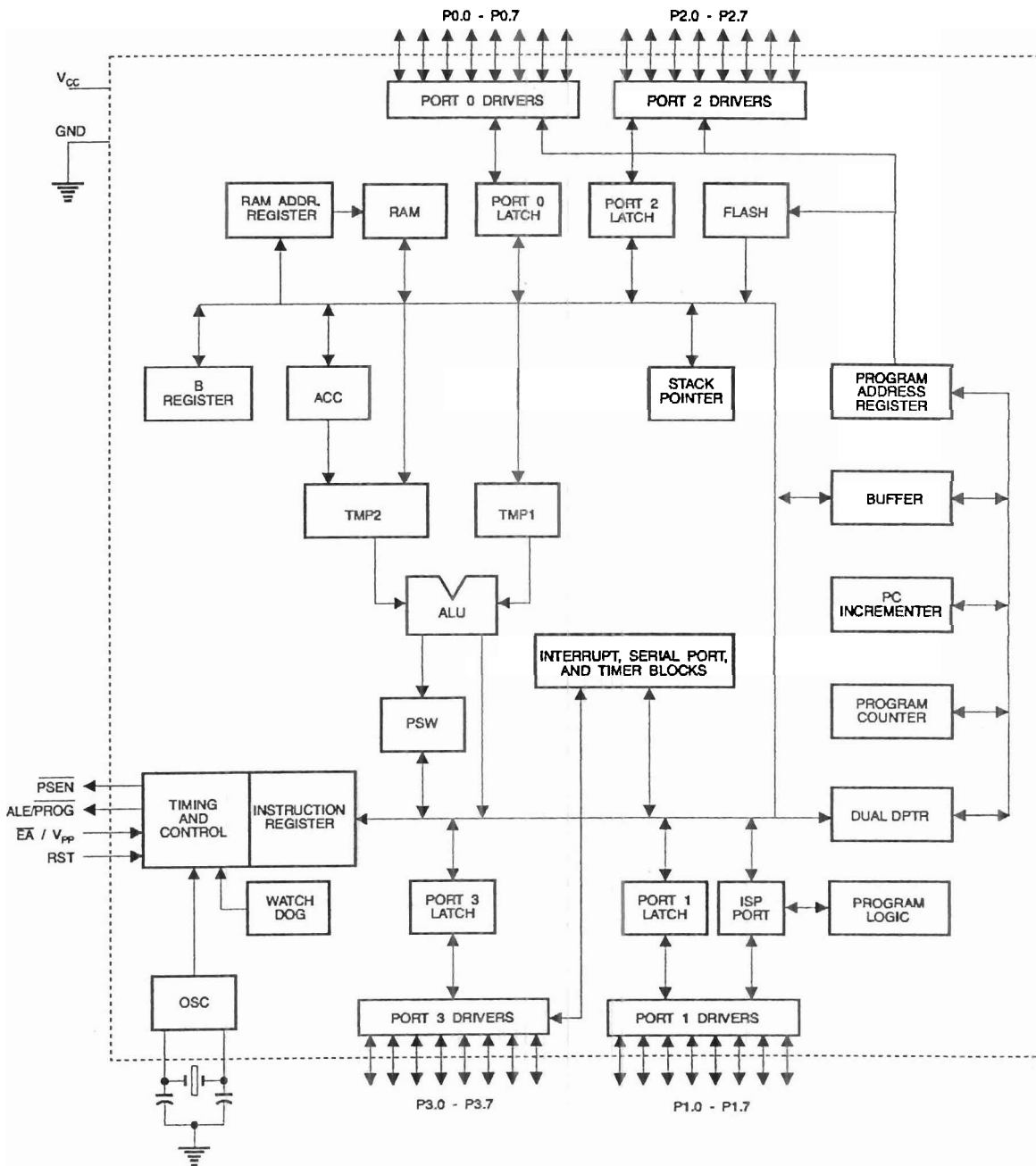
2.2 44-lead TQFP



2.4 42-lead PDIP



3. Block Diagram





4. Pin Description

4.1 VCC

Supply voltage (all packages except 42-PDIP).

4.2 GND

Ground (all packages except 42-PDIP; for 42-PDIP GND connects only the logic core and the embedded program memory).

4.3 VDD

Supply voltage for the 42-PDIP which connects only the logic core and the embedded program memory.

4.4 PWRVDD

Supply voltage for the 42-PDIP which connects only the I/O Pad Drivers. The application board **MUST** connect both VDD and PWRVDD to the board supply voltage.

4.5 PWRGND

Ground for the 42-PDIP which connects only the I/O Pad Drivers. PWRGND and GND are weakly connected through the common silicon substrate, but not through any metal link. The application board **MUST** connect both GND and PWRGND to the board ground.

4.6 Port 0

Port 0 is an 8-bit open drain bi-directional I/O port. As an output port, each pin can sink eight TTL inputs. When 1s are written to port 0 pins, the pins can be used as high-impedance inputs.

Port 0 can also be configured to be the multiplexed low-order address/data bus during accesses to external program and data memory. In this mode, P0 has internal pull-ups.

Port 0 also receives the code bytes during Flash programming and outputs the code bytes during program verification. **External pull-ups are required during program verification.**

4.7 Port 1

Port 1 is an 8-bit bi-directional I/O port with internal pull-ups. The Port 1 output buffers can sink/source four TTL inputs. When 1s are written to Port 1 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IH}) because of the internal pull-ups.

Port 1 also receives the low-order address bytes during Flash programming and verification.

Port Pin	Alternate Functions
P1.5	MOSI (used for In-System Programming)
P1.6	MISO (used for In-System Programming)
P1.7	SCK (used for In-System Programming)

4.8 Port 2

Port 2 is an 8-bit bi-directional I/O port with internal pull-ups. The Port 2 output buffers can sink/source four TTL inputs. When 1s are written to Port 2 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL}) because of the internal pull-ups.

Port 2 emits the high-order address byte during fetches from external program memory and during accesses to external data memory that use 16-bit addresses (MOVX @ DPTR). In this application, Port 2 uses strong internal pull-ups when emitting 1s. During accesses to external data memory that use 8-bit addresses (MOVX @ RI), Port 2 emits the contents of the P2 Special Function Register.

Port 2 also receives the high-order address bits and some control signals during Flash programming and verification.

4.9 Port 3

Port 3 is an 8-bit bi-directional I/O port with internal pull-ups. The Port 3 output buffers can sink/source four TTL inputs. When 1s are written to Port 3 pins, they are pulled high by the internal pull-ups and can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL}) because of the pull-ups.

Port 3 receives some control signals for Flash programming and verification.

Port 3 also serves the functions of various special features of the AT89S51, as shown in the following table.

Port Pin	Alternate Functions
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	$\overline{INT0}$ (external interrupt 0)
P3.3	$\overline{INT1}$ (external interrupt 1)
P3.4	T0 (timer 0 external input)
P3.5	T1 (timer 1 external input)
P3.6	\overline{WR} (external data memory write strobe)
P3.7	\overline{RD} (external data memory read strobe)

4.10 RST

Reset input. A high on this pin for two machine cycles while the oscillator is running resets the device. This pin drives High for 98 oscillator periods after the Watchdog times out. The DISRTO bit in SFR AUXR (address 8EH) can be used to disable this feature. In the default state of bit DISRTO, the RESET HIGH out feature is enabled.

4.11 ALE/PROG

Address Latch Enable (ALE) is an output pulse for latching the low byte of the address during accesses to external memory. This pin is also the program pulse input (PROG) during Flash programming.





In normal operation, ALE is emitted at a constant rate of 1/6 the oscillator frequency and may be used for external timing or clocking purposes. Note, however, that one ALE pulse is skipped during each access to external data memory.

If desired, ALE operation can be disabled by setting bit 0 of SFR location 8EH. With the bit set, ALE is active only during a MOVX or MOVC instruction. Otherwise, the pin is weakly pulled high. Setting the ALE-disable bit has no effect if the microcontroller is in external execution mode.

4.12 $\overline{\text{PSEN}}$

Program Store Enable ($\overline{\text{PSEN}}$) is the read strobe to external program memory.

When the AT89S51 is executing code from external program memory, $\overline{\text{PSEN}}$ is activated twice each machine cycle, except that two $\overline{\text{PSEN}}$ activations are skipped during each access to external data memory.

4.13 $\overline{\text{EA/VPP}}$

External Access Enable. $\overline{\text{EA}}$ must be strapped to GND in order to enable the device to fetch code from external program memory locations starting at 0000H up to FFFFH. Note, however, that if lock bit 1 is programmed, $\overline{\text{EA}}$ will be internally latched on reset.

$\overline{\text{EA}}$ should be strapped to V_{CC} for internal program executions.

This pin also receives the 12-volt programming enable voltage (V_{PP}) during Flash programming.

4.14 XTAL1

Input to the inverting oscillator amplifier and input to the internal clock operating circuit.

4.15 XTAL2

Output from the inverting oscillator amplifier

5. Special Function Registers

A map of the on-chip memory area called the Special Function Register (SFR) space is shown in Table 5-1.

Note that not all of the addresses are occupied, and unoccupied addresses may not be implemented on the chip. Read accesses to these addresses will in general return random data, and write accesses will have an indeterminate effect.

Table 5-1. AT89S51 SFR Map and Reset Values

0F8H									0FFH
0F0H	B 00000000								0F7H
0E8H									0EFH
0E0H	ACC 00000000								0E7H
0D8H									0DFH
0D0H	PSW 00000000								0D7H
0C8H									0CFH
0C0H									0C7H
0B8H	IP XX000000								0BFH
0B0H	P3 11111111								0B7H
0A8H	IE 0X000000								0AFH
0A0H	P2 11111111		AUXR1 XXXXXXXX0				WDTRST XXXXXXXXX		0A7H
98H	SCON 00000000	SBUF XXXXXXXXX							9FH
90H	P1 11111111								97H
88H	TCON 00000000	TMOD 00000000	TL0 00000000	TL1 00000000	TH0 00000000	TH1 00000000	AUXR XXX00XX0		8FH
80H	P0 11111111	SP 00000111	DP0L 00000000	DP0H 00000000	DP1L 00000000	DP1H 00000000		PCON 0XXX0000	87H

User software should not write 1s to these unlisted locations, since they may be used in future products to invoke new features. In that case, the reset or inactive values of the new bits will always be 0.

Interrupt Registers: The individual interrupt enable bits are in the IE register. Two priorities can be set for each of the five interrupt sources in the IP register.



Table 5-2. AUXR: Auxiliary Register

AUXR	Address = 8EH			Reset Value = XXX00XX0B				
Not Bit Addressable								
	-	-	-	WDIDLE	DISRTO	-	-	DISALE
Bit	7	6	5	4	3	2	1	0
-	Reserved for future expansion							
DISALE	Disable/Enable ALE							
	DISALE							
	Operating Mode							
	0	ALE is emitted at a constant rate of 1/6 the oscillator frequency						
	1	ALE is active only during a MOVX or MOVC instruction						
DISRTO	Disable/Enable Reset-out							
	DISRTO							
	0	Reset pin is driven High after WDT times out						
	1	Reset pin is input only						
WDIDLE	Disable/Enable WDT in IDLE mode							
	WDIDLE							
	0	WDT continues to count in IDLE mode						
	1	WDT halts counting in IDLE mode						

Dual Data Pointer Registers: To facilitate accessing both internal and external data memory, two banks of 16-bit Data Pointer Registers are provided: DP0 at SFR address locations 82H-83H and DP1 at 84H-85H. Bit DPS = 0 in SFR AUXR1 selects DP0 and DPS = 1 selects DP1. The user should **ALWAYS** initialize the DPS bit to the appropriate value before accessing the respective Data Pointer Register.

Power Off Flag: The Power Off Flag (POF) is located at bit 4 (PCON.4) in the PCON SFR. POF is set to "1" during power up. It can be set and rest under software control and is not affected by reset.

Table 5-3. AUXR1: Auxiliary Register 1

AUXR1	Address = A2H							Reset Value = XXXXXX0B
Not Bit Addressable								
	-	-	-	-	-	-	-	DPS
Bit	7	6	5	4	3	2	1	0
-	Reserved for future expansion							
DPS	Data Pointer Register Select							
	DPS							
	0	Selects DPTR Registers DP0L, DP0H						
	1	Selects DPTR Registers DP1L, DP1H						

6. Memory Organization

MCS-51 devices have a separate address space for Program and Data Memory. Up to 64K bytes each of external Program and Data Memory can be addressed.

6.1 Program Memory

If the \overline{EA} pin is connected to GND, all program fetches are directed to external memory.

On the AT89S51, if \overline{EA} is connected to V_{CC} , program fetches to addresses 0000H through FFFH are directed to internal memory and fetches to addresses 1000H through FFFFH are directed to external memory.

6.2 Data Memory

The AT89S51 implements 128 bytes of on-chip RAM. The 128 bytes are accessible via direct and indirect addressing modes. Stack operations are examples of indirect addressing, so the 128 bytes of data RAM are available as stack space.

7. Watchdog Timer (One-time Enabled with Reset-out)

The WDT is intended as a recovery method in situations where the CPU may be subjected to software upsets. The WDT consists of a 14-bit counter and the Watchdog Timer Reset (WDTRST) SFR. The WDT is defaulted to disable from exiting reset. To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, it will increment every machine cycle while the oscillator is running. The WDT timeout period is dependent on the external clock frequency. There is no way to disable the WDT except through reset (either hardware reset or WDT overflow reset). When WDT overflows, it will drive an output RESET HIGH pulse at the RST pin.

7.1 Using the WDT

To enable the WDT, a user must write 01EH and 0E1H in sequence to the WDTRST register (SFR location 0A6H). When the WDT is enabled, the user needs to service it by writing 01EH and 0E1H to WDTRST to avoid a WDT overflow. The 14-bit counter overflows when it reaches 16383 (3FFFH), and this will reset the device. When the WDT is enabled, it will increment every machine cycle while the oscillator is running. This means the user must reset the WDT at least